

SIEMENS

Information

NFR2001 S1.0

TED

S42023-D4252-A1-1-18

Copyright (C) Siemens AG 1996

Herausgegeben vom Bereich Öffentliche Kommunikationsnetze
Hofmannstraße 51
D-81359 München

Technische Änderungen vorbehalten.
Technische Angaben und Leistungsmerkmale sind nur verbindlich,
soweit sie im einzelnen in einem schriftlichen Vertrag ausdrücklich
vereinbart werden.

Diese Unterlage besteht aus 57 Seiten. Alle Seiten haben den Zustand 1.

Inhaltsverzeichnis

1	Einführung	7
1.1	Anwendung	7
1.2	Steuerung und Überwachung	8
1.3	Modularität	8
1.4	Aufteilung der Funktionen zwischen Hardware und Firmware	9
2	Aufbau.	11
3	Funktion der Normalfrequenzeinrichtung NFR2001	12
3.1	Referenzsignaleingänge	13
3.2	Auswahl eines Referenzsignals	14
3.3	Normaltaktausgänge.	14
3.4	Redundanzkonzept.	15
3.5	Überwachung	15
3.6	LEDs	16
3.7	Bw7R-Signalisierung.	16
3.8	Abgesetzte Bedieneinrichtungen	16
3.9	LC-Bus-Schnittstelle im NFR2001 S1.0	17
3.9.1	Aufträge durch einen übergeordneten Steuerrechner, Auftragsquittungen und Meldungen durch die Normalfrequenzeinrichtung NFR2001 S1.0	17
4	Einschübe	19
4.1	Einschub Zentrale Überwachung ZÜW.	19
4.1.1	Schaltungskonzept	20
4.1.2	Serielle Schnittstellen	20
4.1.2.1	HDLC-Controller	20
4.1.2.2	V.24-Schnittstelle	20
4.1.3	Parallele Schnittstelle	21
4.1.4	Reset- und Watchdog-Logik	21
4.1.5	Verriegelungslogik	21
4.1.6	Stromversorgung	22
4.2	Zeitbasiseinschub ZBE2 (2,048 Mbit/s/2,048 MHz/10 MHz)	22
4.2.1	Takteingang 2,048 MHz	23
4.2.2	Takteingang 10 MHz.	24
4.2.3	Regenerator (Takteingang für HDB3-Signal)	25
4.2.4	Ausgangstreibermodul AT2	27
4.2.5	Dezentrale Überwachung DÜW und Firmware.	30
4.2.5.1	Hardware der DÜW.	31
4.2.5.2	Firmware der DÜW	35
4.3	Zeitbasiseinschub ZBE1 (2,048 Mbit/s/2,048 MHz)	36
4.4	Zeitbasiseinschub ZBE3 (2,048 MHz)	37
4.5	Einschub Ausgangstreiber 2AT2	37
4.6	PLL-Einschub	37
4.6.1	Eingangüberwachung und Signalauswahl	39
4.6.2	Überwachung der HDB3-Datensignale.	40
4.6.3	Schaltung PLL1.	41

4.6.4	Schaltung PLL2	42
4.6.5	Phasensteller	43
4.6.6	Dezentrale Überwachung DÜW und Firmware	45
4.6.6.1	Hardware der DÜW	46
4.6.6.2	Firmware der DÜW	46
4.6.7	Stromversorgung	46
4.7	Ausgangsbuchsenmodul	48
5	Technische Daten	49
5.1	Eingangsschnittstellen	49
5.1.1	Normaltakteingang 2,048 MHz (ITU-T G.703/10)	49
5.1.2	Dateneingang 2,048 Mbit/s (ITU-T G.703/6)	49
5.1.3	Normalfrequenzeingang 10 MHz (ITU-T G.811; bei Funkverbindungen G.812)	49
5.2	Ausgangsschnittstellen (ITU-T G.703/10)	50
5.3	Grundgenerator	50
5.4	Steuerungsschnittstelle (LC-Bus 1 und LC-Bus 2)	50
5.5	V.24-Terminalschnittstelle	51
5.6	Bw7R-Alarmschnittstelle	52
5.6.1	Alarmkontaktausgänge	52
5.6.2	Alarmimpulsausgänge	52
5.6.3	Kontakte zur Zentralen Anzeige	52
5.7	PLL Crystal-Controlled Oscillator TNC	52
5.8	PLL Crystal-Controlled Oscillator LNC	53
5.9	Stromversorgung	53
6	Produktübersicht	54
7	Abkürzungen	55
8	Stichwörter	57

Bilderverzeichnis

Bild 1.1	Schnittstellen der Normalfrequenzeinrichtung NFR2001	8
Bild 2.1	Einsatz NFR2001 mit zwei zusätzlichen Ausgangsbuchsenmodulen . .	11
Bild 3.1	Übersichtsschaltplan der Normalfrequenzeinrichtung NFR2001	12
Bild 4.1	Einbindung des Einschubs Zentrale Überwachung ZÜW in die Normalfrequenzeinrichtung NFR2001	19
Bild 4.2	Übersichtsschaltplan Zeitbasiseinschub ZBE2 (2,048 Mbit/s, 2,048 Mbit/s/2,048 MHz/10 MHz)	22
Bild 4.3	Übersichtsschaltplan Funktionseinheit Takteingang 2,048 MHz	23
Bild 4.4	Übersichtsschaltplan Funktionseinheit Regenerator 2,048 Mbit/s	25
Bild 4.5	Übersichtsstromlauf Ausgangstreibermodul AT2.	27
Bild 4.6	Übersichtsschaltplan Dezentrale Überwachung DÜW.	30
Bild 4.7	Adreßraum und Adreßbelegung der CPU	33
Bild 4.8	Komponenten der Firmware der DÜW.	35
Bild 4.9	Übersichtsschaltplan Takteingang 2,048 Mbit/s/2,048 MHz	36
Bild 4.10	Übersichtsschaltplan Takteingang 2,048 Mbit/s/2,048 MHz	37
Bild 4.11	Übersichtsschaltplan PLL-Einschub	38
Bild 4.12	Phasenbeziehung der Ausgangssignale der PLL-Einschübe	44
Bild 4.13	Übersichtsschaltbild der DÜW	45
Bild 4.14	Komponenten der Firmware der DÜW.	46
Bild 4.15	Stromversorgung	47

Tabellenverzeichnis

Tab. 3.1	<u>Aufträge an und Auftragsquittungen von der Normalfrequenzeinrichtung NFR2001.....</u>	<u>17</u>
Tab. 3.2	<u>Spontane Meldungen durch die Normalfrequenzeinrichtung NFR2001 S1.0.....</u>	<u>18</u>
Tab. 4.1	<u>Codierung der Reset-Ursachen</u>	<u>34</u>

1 Einführung

1.1 Anwendung

Sowohl in plesiochronen als auch in synchronen digitalen Kommunikationsnetzen sind Zeitbasen erforderlich, an die besonders hohe Anforderungen bezüglich der Kurz- und Langzeitstabilität sowie der Ausfallsicherheit gestellt werden. Die in der ITU-T-Empfehlung G.811 geforderte Langzeitstabilität von 10^{-11} läßt sich nur durch Cäsium-Atomfrequenznormale erreichen. Da es unwirtschaftlich ist, z.B. jeden Netzknoten (SXC) mit einem solchen Cäsium-Atomfrequenznormal auszustatten, werden die lokalen Taktgeneratoren von einem zentralen, nationalen Atomfrequenznormal synchronisiert.

Dies geschieht durch ein oder mehrere Referenzsignale, die vom nationalen Atomfrequenznormal erzeugt und einer lokalen Normalfrequenzeinrichtung NFR2001 zugeführt werden. Sie bereitet die – im allgemeinen mit verschiedenen Übertragungsfehlern behafteten – Referenzsignale auf, wählt eines davon nach einer vorgegebenen Prioritätenliste aus und synchronisiert damit eine zweiteilige PLL-Schaltung (Phase locked loop) zum Entfernen von hochfrequentem Jitter und Wander oberhalb ihrer Grenzfrequenz. Die PLL-Schaltung erzeugt einen lokalen Normaltakt, der digitalen PDH- und SDH-Übertragungseinrichtungen wie Terminals, Multiplexern und Netzknoten als Zeitbasis zur Verfügung steht (**Synchronbetrieb** = Normalbetrieb). Dieser Normaltakt hat die gleiche Langzeitstabilität wie das nationale Frequenznormal.

Bei Ausfall des aktiven Referenzsignals synchronisiert sich der PLL-Einschub während einer Übergangsphase auf seinen Ausgangstakt (**Betriebsart Eigensynchronisation**), bis die Firmware auf ein anderes verfügbares Eingangssignal umgeschaltet hat.

Bei einem Ausfall aller Referenzsignale arbeitet der PLL-Quarzoszillator der Normalfrequenzeinrichtung mit der zuletzt eingestellten Steuerspannung weiter und erzeugt auch in diesem Ausnahmefall ein ausreichend stabiles Taktsignal, dessen Frequenz dem Mittelwert der letzten Tage entspricht (**Speicherbetrieb**).

Die Normalfrequenzeinrichtung NFR2001 eignet sich somit für alle Anwendungen, für die eine Zeitbasis hoher Genauigkeit und Zuverlässigkeit erforderlich ist, wobei die Langzeitstabilität durch ein externes Frequenznormal sichergestellt wird. Anwendungsgebiete sind z. B. digitale Fernsprech- und Datenvermittlungssysteme sowie Netzelemente der Synchron-Digital-Hierarchie SDH, die im Servosynchronverfahren (d.h. ein Hilfsgenerator läuft als Slave synchron zum nationalen Master) in einer Master-Slave-Struktur mit einem Normaltakt versorgt werden. Ein spezieller Anwendungsfall ist der synchrone Cross Connect (SXC).

Zur Erhöhung der Zuverlässigkeit ist die Normalfrequenzeinrichtung NFR2001 gewöhnlich mit gedoppelten Systemeinheiten bestückt, so daß Betrieb-Ersatz-Schaltungen auf Modul-Ebene möglich sind. Außerdem können in diesem Fall z. B. auch Wartungsarbeiten und Bestückungsänderungen (Upgrade oder Downgrade, d. h. Ändern der Anzahl der Ausgangstreiber) durchgeführt werden, ohne daß der Betrieb der Normalfrequenzeinrichtung unterbrochen werden muß.

Im Kommunikationsnetz wird die Normalfrequenzeinrichtung NFR2001 als Slave betrieben; Master ist das ferne Atomfrequenznormal, das Referenzsignale mit der mittleren Frequenz seiner hochgenauen Zeitbasis zum Synchronisieren der Normalfrequenzeinrichtung zur Verfügung stellt. Dabei kann der Referenzsignalweg zur Normalfrequenzeinrichtung – z. B. bei Ausfall der direkten Verbindung oder bei großen Entfernungen – auch über eine oder mehrere andere Slave-Einrichtungen führen.

1.2 Steuerung und Überwachung

Als Bedien- und Anzeigeeinrichtung für die Normalfrequenzeinrichtung NFR2001 kann ein Personal Computer (PC) verwendet werden (siehe Bild 1.1). Bedienung und Anzeige kann jedoch auch mittels eines externen Steuerrechners über einen LC-Bus vorgenommen werden (z.B. NCU bei SXC).

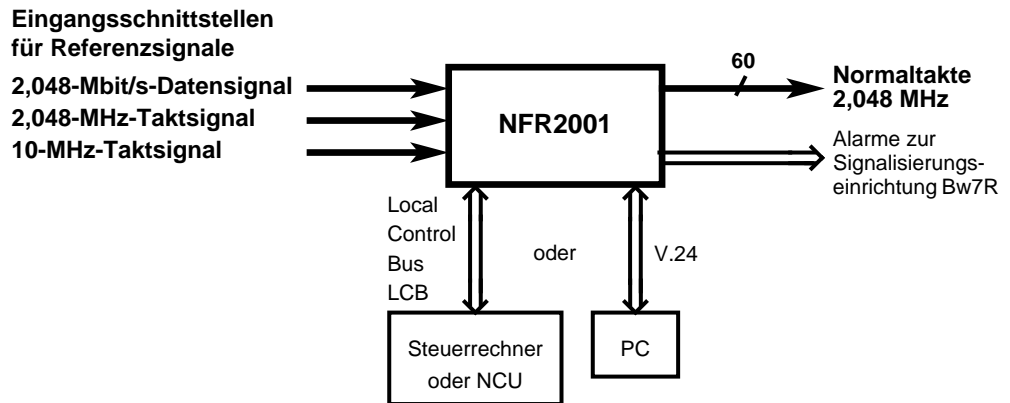


Bild 1.1 Schnittstellen der Normalfrequenzeinrichtung NFR2001

Die Berechtigung der Benutzer zum Ausführen bestimmter Bedienfunktionen (z. B. Lesen von Parametern, Steuern, Konfigurieren oder Download (Neuladen der NFR2001-Firmware vom PC aus)) ist nach einem Autorisierungskonzept hierarchisch gegliedert; der Zugang (Login) wird durch verschiedene Paßwörter, die jeweils für eine bestimmte höchste und alle darunter liegenden Hierarchieebenen gelten, festgelegt. Alle Login-Vorgänge unterliegen zusätzlich einer Zeitüberwachung.

Die Normalfrequenzeinrichtung meldet Fehler und Störungen auch nach dem bei Schmalgestellen der Bauweise 7R (Bw7R) üblichen Signalisierungsschema; bei Bedarf kann eine entsprechende Signalisierungseinrichtung (Signaleinheit S42024-D4306-A1) angeschlossen werden. Auf Anforderung übermittelt die Normalfrequenzeinrichtung Meßwerte, Zustandsdaten und protokollierte Daten an die angeschlossenen Bedieneinrichtungen und empfängt von ihnen Konfigurationsdaten und Prüfbefehle für die Überwachungseinrichtungen.

1.3 Modularität

Jede Systemeinheit der Normalfrequenzeinrichtung NFR2001 besteht aus steckbaren Einschüben, die in einem Einsatz NFR2001 untergebracht sind.

Es gibt folgende Einschübe:

- Einschub Zentrale Überwachung ZÜW
- Einschub PLL
- Zeitbasiseinschub ZBE1 2,048 Mbit/s / 2x2,048 MHz
- Zeitbasiseinschub ZBE2 2,048 Mbit/s / 2,048 MHz / 10 MHz
- Zeitbasiseinschub ZBE3 3x 2,048 MHz
- Einschub Ausgangstreiber 2AT2

Der **Einschub Zentrale Überwachung ZÜW** führt die einschubübergreifenden Überwachungsaufgaben aus; außerdem enthält er eine dezentrale Stromversorgung.

Der **Einschub PLL** führt die PLL-Funktionen aus; außerdem enthält er ein dezentrales Überwachungsmodul DÜW, eine dezentrale Stromversorgung und die erforderlichen Überwachungs- und Alarmierungseinrichtungen.

Die **Zeitbasiseinschübe ZBE1 (2,048 Mbit/s / 2x2,048 MHz), ZBE2 (2,048 Mbit/s / 2,048 MHz / 10 MHz) und ZBE3 (3x2,048 MHz)** enthalten neben den Eingangsschnittstellen ein Ausgangstreibermodul AT2, ein dezentrales Überwachungsmodul DÜW, eine dezentrale Stromversorgung und die erforderlichen Überwachungs- und Alarmierungseinrichtungen.

Der **Einschub Ausgangstreiber 2AT2** enthält zwei Ausgangstreibermodule AT2, eine dezentrale Stromversorgung und die erforderlichen Überwachungs- und Alarmierungseinrichtungen.

Durch geeignete Kombination der Eingangs- und gegebenenfalls Ausgangstreiber-einschübe läßt sich die Normalfrequenzeinrichtung NFR2001 an verschiedene Anwendungsfälle anpassen. Die Firmware wird bei der Inbetriebnahme der Normalfrequenzeinrichtung anhand von Einschubkennungen für den jeweiligen Betrieb automatisch individuell konfiguriert.

Hohe Betriebssicherheit wird erreicht, wenn der Einsatz mit allen Einschüben doppelt bestückt wird.

Die Minimalausführung der Normalfrequenzeinrichtung NFR2001 enthält pro Systemhälfte drei Einschübe, nämlich einen Einschub Zentrale Überwachung ZÜW, einen Einschub PLL und einen Zeitbasiseinschub ZBE. Über ein Ausgangsbuchsenmodul sind damit 12 Ausgänge für 2,048 MHz realisierbar. Bei Bedarf läßt sich die Normalfrequenzeinrichtung mit einem oder zwei Ausgangstreiber-Einschüben 2AT2 und zusätzlichen Ausgangsmodulen mit je 12 Ausgängen, die im Anschlußfeld des Gestells unterzubringen sind, ergänzen. Ab dem 37 Taktausgang sind ein oder zwei zusätzliche Ausgangsbuchsenmodule erforderlich. Eine Upgrade- oder Downgrade-Operation (Hinzufügen bzw. Entfernen von Ausgangstreiber-Einschüben 2AT2) ist ohne Betriebsunterbrechung möglich.

Auf jedem Signaleinschub befindet sich eine Dezentrale Überwachung DÜW. Sie erfaßt die Alarmer, Meldungen und Signalisierungen des betreffenden Einschubs, bearbeitet sie und leitet sie an den jeweils aktiven Einschub Zentrale Überwachung ZÜW weiter. Entscheidungen über den Gesamtzustand der Normalfrequenzeinrichtung werden nur von der Zentralen Überwachung getroffen.

1.4 Aufteilung der Funktionen zwischen Hardware und Firmware

Die Hardware der Normalfrequenzeinrichtung NFR2001 regeneriert das Eingangssignal, bereitet die Taktinformation auf, verstärkt das so erzeugte Signal und verteilt es an die Ausgangstreiber und Verteiler. Weitere wesentliche Aufgaben der Hardware sind das Überwachen der einzelnen Schaltungsteile und die zeitkritische Betrieb-Ersatz-Umschaltung bei Signalausfällen oder Gerätestörungen.

Die Aufgaben der Firmware sind einerseits das Überwachen und Steuern der gesamten Normalfrequenzeinrichtung NFR2001 (ausgeführt von der Zentralen Überwachung ZÜW), andererseits das Überwachen und Steuern der einzelnen Einschübe (ausgeführt von den einzelnen Dezentralen Überwachungen DÜW). Aufgrund der hohen Anforderungen an die Qualität des Ausgangstaktsignals werden zeitkritische Funktionen ausschließlich von der Hardware übernommen.

Die Firmware sammelt und bewertet Hardware-Alarme, meldet sie weiter und protokolliert die Zustände der Normalfrequenzeinrichtung NFR2001. Außerdem werden Meßwerte über längere Zeiträume erfaßt, statistisch ausgewertet und auf Anforderung an eine Bedieneinrichtung weitergegeben. Steuernde Eingriffe auf die Hardware der Normalfrequenzeinrichtung finden statt beim Konfigurieren der Komponenten, beim Testen der Hardware-Überwachungseinrichtungen und nach einem Ausfall der selbsttätigen, hardwaregesteuerten Betrieb-Ersatz-Umschaltungen.

2 Aufbau

Die Einschübe der Normalfrequenzeinrichtung NFR2001 sind in einem Einsatz NFR2001 vertikal nebeneinander angeordnet. Jeder Einschub ist auf einer mehrlagigen Leiterplatte aufgebaut. Die Abmessungen jedes Einschubs betragen 233 mm x 21 mm x 229 mm (Doppeleuropakartenformat). Eine rückwärtige Anschlußplatte verbindet die Einschübe untereinander; sie trägt 256polige SIEDECON-Messerleisten, die mit einigen voreilenden Kontakten ausgestattet sind; an den Einschüben befinden sich entsprechende Federleisten. Jedem Einschubtyp sind bestimmte Einbauplätze im Einsatz zugeordnet; die Einschub-Steckverbinder sind mechanisch codiert, so daß Fehlbestückungen des Einsatzes ausgeschlossen sind.

Die Anschlußplatte des Einsatzes NFR2001 reicht oben über den Einschubraum hinaus und bildet so das Anschlußfeld. Auf dieser Verlängerung befinden sich die Steckverbinder für die Zeitbasis- und Steuerungsschnittstellen. Die Taktausgangsbuchsen sind in Modulen zusammengefaßt, wobei jedes Modul zwölf Buchsen enthält. Die Ausgangsimpedanz ist für eine Gruppe von sechs Buchsen auf einem Modul auf 75 Ω oder 120 Ω einstellbar. Die Ausgangsbuchsenmodule 1 bis 3 für insgesamt 36 Taktausgänge sind im oberen Teil des Anschlußfeldes integriert. Im Maximalausbau sind fünf Ausgangsbuchsenmodule eingesetzt, wobei die Ausgangsbuchsenmodule 4 und 5 extern ergänzt werden. Es stehen dann 60 Taktausgänge zur Verfügung.

Aus Gründen der Elektromagnetischen Verträglichkeit EMV ist der Einsatz NFR2001 auf der Vorderseite mit einer schwenk- und abnehmbaren Gesamtabdeckung HF-dicht abgeschlossen. Die Anschlußplatte ist ebenfalls mit einer HF-dichten Abdeckung versehen.

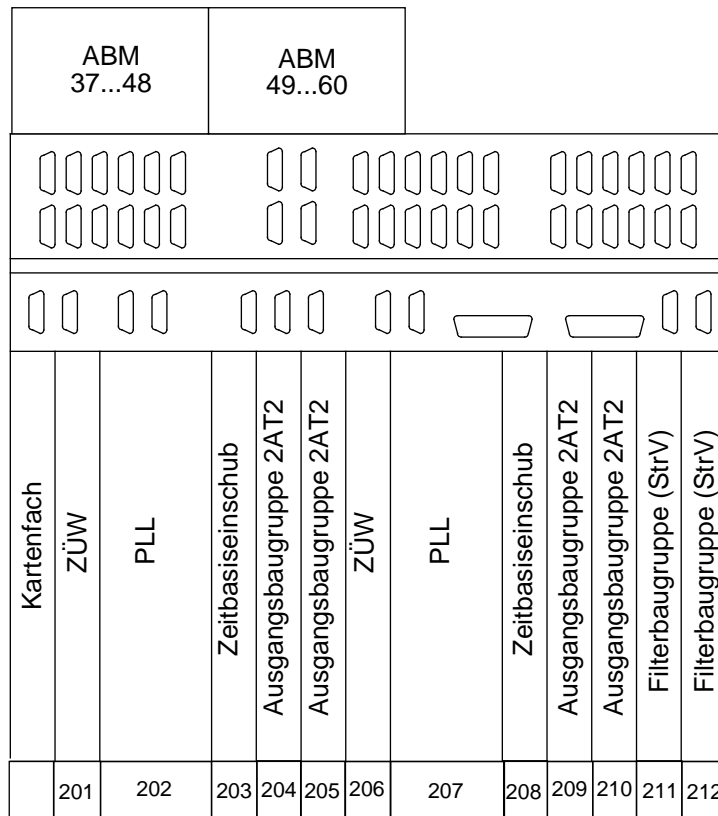


Bild 2.1 Einsatz NFR2001 mit zwei zusätzlichen Ausgangsbuchsenmodulen

3 Funktion der Normalfrequenzeinrichtung NFR2001

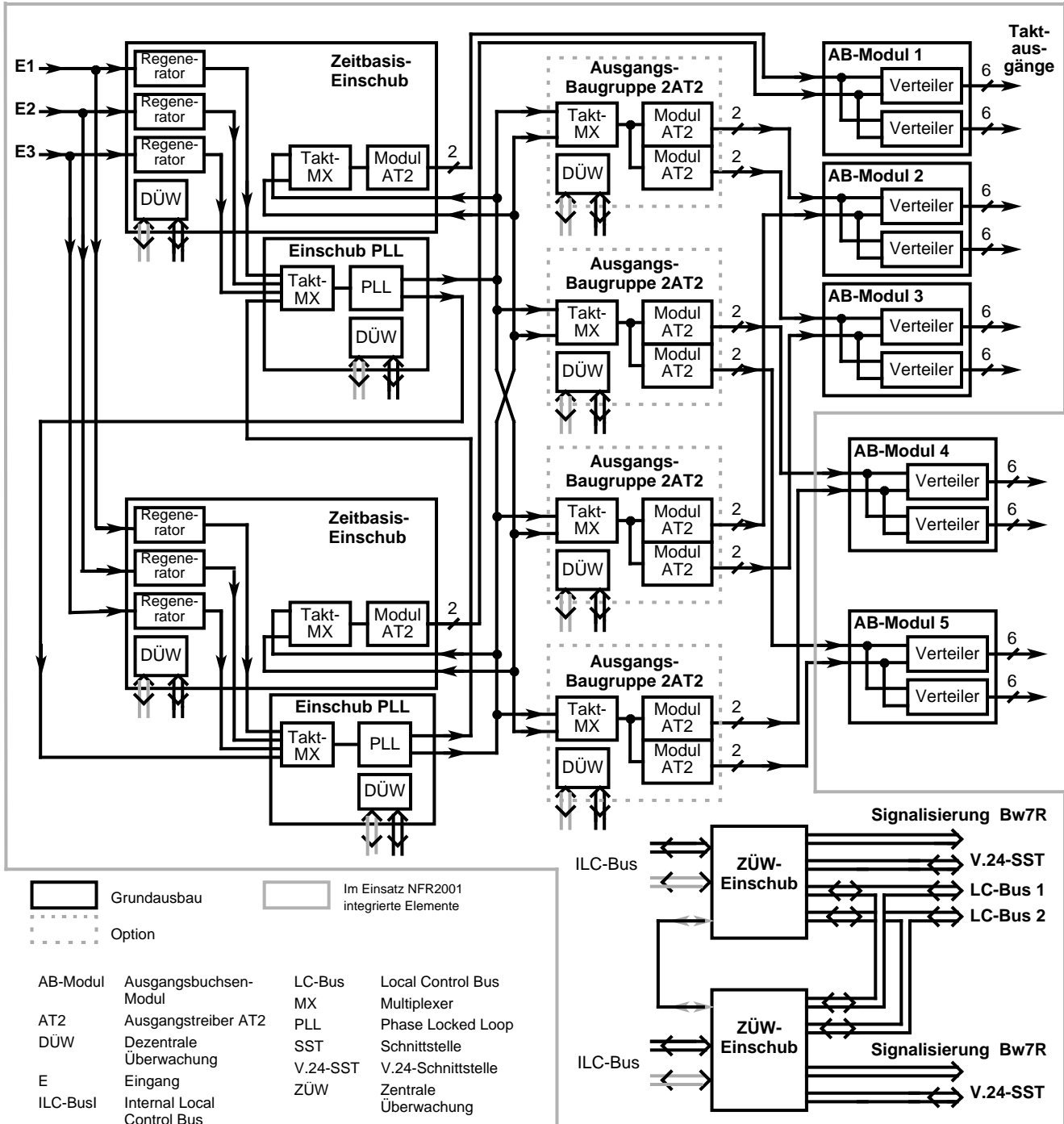


Bild 3.1 Übersichtsschaltplan der Normalfrequenzeinrichtung NFR2001

3.1 Referenzsignaleingänge

Die Normalfrequenzeinrichtung NFR2001 kann wahlweise durch verschiedenartige Referenzsignale synchronisiert werden:

- 2,048-Mbit/s-Datensignal (HDB3-codiert),
- 2,048-MHz-Taktsignal (Impulsmaske nach ITU-T Rec.G.703),
- 10-MHz-Taktsignal (Sinus) vom Cäsium-Atomfrequenznormal.

Die Normalfrequenzeinrichtung hat drei Zeitbasiseingänge, die - je nach verwendetem Zeitbasiseinschub - für folgende Kombinationen der Referenzsignale eingerichtet sind:

- ein 2,048-Mbit/s-Datensignal und zwei 2,048-MHz-Taktsignale (Zeitbasiseinschub ZBE1 2x2,048 Mbit/s / 2,048 MHz).
- ein 2,048-Mbit/s-Datensignal, ein 2,048-MHz-Taktsignal und ein 10-MHz-Taktsignal (Zeitbasiseinschub ZBE2 2,048 Mbit/s / 2,048 MHz / 10 MHz),
- drei 2,048-MHz-Taktsignale (Zeitbasiseinschub ZBE3 3x2,048 MHz).

Wenn die Normalfrequenzeinrichtung NFR2001 gedoppelt bestückt ist, werden die Referenzsignale beiden Zeitbasiseinschüben direkt zugeführt

Bei den 2,048-MHz-Eingängen ist die Eingangsimpedanz zwischen 75 Ω unsymmetrisch und 120 Ω symmetrisch umschaltbar. Bei den 2,048-Mbit/s-Eingängen kann der Nenneingangsspegel zwischen $U_{0S}=2,37$ V und $U_{0S}=150$ mV (–26 dB) umgeschaltet werden. Die Schalter dafür befinden sich auf dem Zeitbasiseinschub. Die Impedanz des 2,048-Mbit/s-Eingangs beträgt 75 Ω . Wird ein Signal mit der Charakteristik $\text{symm./120 } \Omega$ angeschlossen, so ist eine externe passive 2,048-Mbit/s-Taktauskopplung (S42025-P112-A1) anzuschließen. Der Nenneingangsspegel auf der ZBE ist in diesem Fall auf $U_{0S}=150$ mV (–26 dB) einzustellen.

Die ankommenden Referenzsignale werden auf dem Zeitbasiseinschub in signalspezifischen Modulen bearbeitet, und zwar in Takteingangsmodulen für 2,048 MHz und gegebenenfalls für 10 MHz sowie in einem Regeneratormodul für HDB3-Signale 2,048 Mbit/s. Aus den Referenzsignalen werden interne Takte erzeugt, die zur Synchronisation der PLL-Schaltung dienen. Die Referenzsignale werden bezüglich folgender Kriterien überwacht:

- | | |
|-----------------------|---|
| 2,048 Mbit/s: | <ul style="list-style-type: none"> – zu hoher Eingangspegel – zu niedriger Eingangspegel – Ausfall des internen Taktes – Frequenzfehler – Phasensprünge – Fehler im Rahmenkennwort RKW – Bitfehlerhäufigkeit (ermittelt aus dem RKW) – AIS – interner Ausfall des Datenweges |
| 2,048 MHz und 10 MHz: | <ul style="list-style-type: none"> – zu hoher Eingangspegel – zu niedriger Eingangspegel – Ausfall des internen Taktes – Frequenzfehler – Phasensprünge |

Die Referenzsignale sind – über lange Zeit gemittelt – synchron mit einem externen Frequenznormal; durch den Übertragungsweg können jedoch Amplitudenstörungen, Jitter und Wander sowie Phasensprünge auftreten. In den Regeneratormodulen werden die

Referenzsignale von Amplitudenstörungen befreit. Die regenerierten Signale werden in Form von Rechteckschwingungen zum PLL-Einschub geleitet.

3.2 Auswahl eines Referenzsignals

Der Normalfrequenzeinrichtung können bis zu drei Referenzsignale angeboten werden. Aus ihnen wird nach einer vorgegebenen Prioritätenliste der Takt mit der höchsten Qualität zur Synchronisation der PLL-Schaltung ausgewählt; wenn die Qualität dieses Eingangssignals nicht mehr ausreicht oder das Signal ausfällt, so wird auf den in der Prioritätenliste nachfolgenden Takt umgeschaltet.

Wenn die Normalfrequenzeinrichtung gedoppelte Systembestückung hat, ist als zusätzlicher Referenztakt der Ausgangstakt der zweiten Systemeinheit verfügbar; dieser Takt hat stets niedrigere Priorität als die drei Eingangssignale. Wenn auch die zweite Systemeinheit mit keinem Referenzsignal mehr synchronisiert wird, geht die Normalfrequenzeinrichtung in den Speicherzustand über und liefert einen Ausgangstakt, dessen Frequenz dem Mittelwert der letzten Tage entspricht.

Alle Umschaltvorgänge werden so gesteuert, daß im abgegebenen Normaltakt keine unzulässig großen Unterbrechungen oder Phasensprünge auftreten.

3.3 Normaltaktgänge

Die Normaltaktgänge der Normalfrequenzeinrichtung NFR2001 geben 2,048-MHz-Signale nach Impulsmaske ITU-T Rec G.703 ab, deren Langzeitstabilität der Zeitbasis des fernen Frequenznormals entspricht. Die Anzahl der Normaltaktgänge hängt von der Bestückung der Normalfrequenzeinrichtung NFR2001 mit Ausgangstreiber-Einschüben 2AT2 und Ausgangsbuchsenmodulen ABM ab.

Jeder Zeitbasiseinschub enthält ein Ausgangstreibermodul AT2, der Einschub Ausgangstreiber 2AT2 enthält zwei Ausgangstreibermodule. Jedes dieser Ausgangstreibermodule liefert niederohmig ein 2,048-MHz-Signal zu einem ABM.

Jedes Ausgangstreibermodul wird bezüglich folgender Kriterien überwacht:

- | | | |
|------------------------|---|---|
| Umschalter am Eingang: | - | Schalterstellung (Takte von eigener oder von Partner-PLL (PLL-Umschaltung)) |
| | - | Funktionsfähigkeit der Schaltersteuerung |
| Eingangstakte: | - | Flankenüberwachung aller vier Eingänge |
| | - | Flankenüberwachung nach dem Umschalter |
| Ausgangstakte: | - | Pegelüberwachung im aktiven Zustand |
| | - | Funktionsüberwachung im passiven Zustand |
| Schalter am Ausgang: | - | Schalterstellung (Redundanzumschaltung der ATs) |
| | - | Funktionsfähigkeit der Schaltersteuerung |

Wenn die Normalfrequenzeinrichtung aus gedoppelten Systemeinheiten besteht, kann jedes Ausgangstreibermodul von den PLL-Schaltungen beider Systemeinheiten angesteuert werden; eine PLL-Steuerung sorgt dafür, daß sämtliche Ausgangstreiber der gedoppelten Systemeinheiten jeweils mit derselben PLL-Schaltung verbunden sind. Dadurch weisen alle Ausgangstakte zueinander nur sehr geringe Phasenunterschiede auf. Einem Ausgangstreibermodul der einen Systemeinheit ist das gleiche Ausgangstreibermodul der zweiten Systemeinheit zugeordnet. Die Ausgangstreibersteuerung bewirkt, daß eines der Module aktiv, das andere passiv ist.

Jeder Ausgangstakt eines Ausgangstreibermoduls wird zu einem Ausgangsbuchsenmodul geführt; dieses teilt das Signal passiv über Entkopplungswiderstände auf zwölf Ausgänge auf. Die Ausgangsimpedanz kann in Gruppen zu je sechs Ausgängen zwischen 75 Ω unsymmetrisch und 120 Ω symmetrisch gewählt werden. Die zugehörigen Schalter befinden sich bei den externen Ausgangsbuchsenmodulen direkt auf den Ausgangsbuchsenmodulen, bei den integrierten Ausgangsbuchsenmodulen 1 bis 3 auf dem Anschlußfeld. Ein Ausgangsbuchsenmodul ist mit einem aktiven und einem passiven AT-Modul (bei gedoppeltem System) verbunden, wobei das passive AT-Modul hochohmig ist. Eine Betrieb-Ersatz-Umschaltung der AT-Module beeinflusst so den Ausgangstakt nur minimal.

3.4 Redundanzkonzept

Bei hohen Zuverlässigkeitsanforderungen ist die Normalfrequenzeinrichtung NFR2001 mit einem gedoppelten Baugruppensatz bestückt. Betrieb-Ersatz-Umschaltungen werden modulweise durchgeführt, da dies die Phasensprünge an den Ausgängen minimiert. Eine Ausnahme bilden die Zeitbaiseingänge: Jede PLL-Schaltung kann nur durch die Referenzsignale synchronisiert werden, die ihrer Systemeinheit zugeführt werden. Damit jedoch auch bei völligem Ausfall der Eingangssignale einer Systemeinheit (z. B. bei einem Einschubtausch) der Synchronbetrieb der Normalfrequenzeinrichtung erhalten bleibt, steht zur Synchronisation auch das Ausgangssignal des zweiten PLL-Einschubs zur Verfügung.

Darüber hinaus sind auch die Einschübe Zentrale Überwachung, deren Aufgaben Überwachung und Alarmierung sind, gedoppelt. Der Einschub ZÜW kann bei leicht reduzierten Zuverlässigkeitsanforderungen auch ungedoppelt ausgeführt werden, da ein Ausfall eines ZÜW-Einschubs, auch wenn dieser ungedoppelt ist, keinen unmittelbaren Einfluß auf das Ausgangssignal hat.

3.5 Überwachung

Die Normalfrequenzeinrichtung NFR2001 hat eine mikroprozessorgesteuerte Überwachung, die aus den Modulen Dezentrale Überwachung DÜW auf jedem Einschub und dem Einschub Zentrale Überwachung ZÜW besteht.

In jedem Signaleinschub (d. h. in jedem Einschub mit Ausnahme des Einschubs Zentrale Überwachung ZÜW) ist das Modul Dezentrale Überwachung DÜW enthalten. Die Dezentrale Überwachung erfaßt die lokalen Betriebszustände des betreffenden Signaleinschubs, führt eine Vorverarbeitung durch und erzeugt Meldungen, die an den Einschub Zentrale Überwachung ZÜW weitergeleitet werden (siehe [Bild 4.1](#)).

Die notwendige einschubspezifische Funktionsanpassung der Dezentralen Überwachung wird durch die Einschubverdrahtung sowie durch zwei verschiedene Arten von Applikationsfirmware erreicht ("PAPP" für den PLL-Einschub, "SAPP" für Zeitbaiseinschübe und Ausgangstreibereinschübe).

Die Betriebssoftware der DÜWs und der ZÜWs im FEPROM ist durch Download nachladbar.

Die Funktionsfähigkeit der Überwachungsschaltungen wird während des Normalbetriebs regelmäßig selbsttätig geprüft (Hintergrundtest), indem die betreffenden Ereignisse und Störungen erzeugt werden (z. B. Einblenden von Dauer-1-Bits zum Testen der AIS-Erkennung); der daraufhin auftretende Alarm wird nicht weitergeleitet.

3.6 LEDs

Zur Signalisierung hat jeder Einschub zwei LEDs (die im Normalbetrieb von der gemeinsamen Frontplatte des Einsatzes NFR2001 verdeckt sind):

- Eine rote LED INT (interner Alarm) signalisiert Fehler und Störungen auf dem Einschub.
- Eine grüne LED ID (Identifikation) zeigt an, daß der Einschub gezogen werden kann oder daß ein Download-Vorgang stattfindet.

Näheres siehe Betriebsanleitung S42023-D4252-A1-*-19. Bei störungsfreiem Normalbetrieb leuchtet keine der LEDs.

Die LEDs auf allen Einschüben der Normalfrequenzeinrichtung NFR2001 werden vom jeweils aktiven Einschub Zentrale Überwachung über einzelne Leitungen angesteuert.

3.7 Bw7R-Signalisierung

Die Bw7R-Signalisierungsschnittstelle ist mit den Einschüben Zentrale Überwachung in beiden Normalfrequenzeinrichtungen verbunden und auf einen Bw7R-Anschlußstecker geführt. Je Systemeinheit stehen neun Kontakte einer Bw7R-Signalisierungsschnittstelle zur Verfügung; sie werden (bei gedoppelter Systembestückung) vom jeweiligem Einschub ZÜW gesteuert. Dieser erzeugt die Alarmermeldungen für beide Systemeinheiten und ordnet sie den jeweiligen Einsätzen (über die Redundanzschnittstelle) zu. Eine optische Anzeige dieser Kontakte mittels LED sowie eine frei konfigurierbare Summenalarmbildung wird durch die Signaleinheit (optionales Zubehör: S42024-D4306-A1) unterstützt.

3.8 Abgesetzte Bedieneinrichtungen

Der Datenaustausch mit dem übergeordneten Steuerrechner (z.B. NCU Node control Unit) wird über eine LC-Busschnittstelle durchgeführt. Diese Schnittstelle ist mit den Überwachungseinschüben ZÜW im NFR2001 verbunden.

Jeder Einschub Zentrale Überwachung hat eine V.24-Schnittstelle. An diese können folgende Einrichtungen angeschlossen werden:

- ein PC, der an eine der (bei gedoppelten Systemeinheiten) beiden V.24-Schnittstellen angeschlossen ist und mit Hilfe eines Emulationsprogramms (z. B. PRO-COMM) als ANSI-Terminal mit Speicherfunktion betrieben wird,
- ein PC mit Terminal-Emulationsprogramm, der über Modem-Einrichtungen mit einer der V.24-Schnittstellen verbunden ist.

An die Bedieneinrichtung (Steuereinrichtung oder Bedien-PC) werden – neben den Quittungen auf Anfragen – verschiedene Arten von spontanen Meldungen abgegeben:

an den Bedien-PC

- Alarmmeldungen
- Statusmeldungen
- Konfigurationsmeldungen

Alarmmeldungen beziehen sich auf Störungen und Fehler der Normalfrequenzeinrichtung NFR2001 (z. B. Anzeige eines teilweisen oder vollständigen Ausfalls der Normalfrequenzeinrichtung, des Redundanzverlustes in der Taktregenerierungs-Hardware, Information über den teilweisen oder vollständigen Ausfall der Referenzsignale).

Statusmeldungen zeigen den Wechsel des Firmwarestatus der Zentralen Überwachungen ZÜW oder der Dezentralen Überwachungen DÜW (Hochlaufmeldungen,

Umschaltung aktiver – passiver Betrieb, Abmeldung eines Einschubs, Download-Vorgang) sowie Login-Zustände an.

Konfigurationsmeldungen weisen auf Konfigurationsänderungen der Normalfrequenzeinrichtung hin, die nicht durch Bedieneinrichtungen veranlaßt wurden.

3.9 LC-Bus-Schnittstelle im NFR2001 S1.0

Die LC-Bus-Schnittstelle der Normalfrequenzeinrichtung NFR2001 dient zum Anschluß an einen übergeordneten Steuerrechner (z.B. an das Node-Control-Operating-System NCOS2000 R1.24 im Synchronen Cross Connect). Alle Bedienhandlungen die mit dem lokalen Bedien-PC möglich sind, sind mit einem übergeordneten Steuerrechner ebenso möglich.

3.9.1 Aufträge durch einen übergeordneten Steuerrechner, Auftragsquittungen und Meldungen durch die Normalfrequenzeinrichtung NFR2001 S1.0

Nachfolgende Befehle und Abrufe sind für die LC-Busschnittstelle im NFR2001 S.1.0 implementiert. Die Protokolldefinition ist vollständig kompatibel zu NFR2000 N1.1 und daher im entsprechenden Telegrammkatalog NFR2000 FW-Telegrammkatalog NFR2000-NCOS2000, S42022-D4245-A1-*D6 niedergelegt.

Typ (BEFehl, ABRuf, ANTwort)	Format	Verwendung
ABR/ANT	Alarminformation	Fehlzustandsbild im NFR2001
BEF/ABR/ANT	Alarmsperrmaske und Priorität	Alarmmaskierung
BEF	Schaltbefehl	Baugruppentausch
BEF/ABR/ANT	Typenschild	GBÜ-Daten (1.Teil)
BEF/ABR/ANT	Umrüstinformation	GBÜ-Daten (2.Teil)
ABR/ANT	Diagnoseinformation	Statistikwerte Momentane Pegelmeßwerte Einschubtestergebnisse Kommunikationstest Einzelalarne, History-Puffer
ABR/ANT	Softwareversion	FW-Version eines Einschubs
BEF/ABR/ANT	Benutzerdaten	Konfigurationsdaten Erweiterte Alarminformation Zustandsdaten
BEF/ABR/ANT	Datum/Uhrzeit	Datum/Uhrzeit
ANT	Positive/Negative Quittung	Positive/Negative Quittung
BEF/ABR ¹⁾	Benutzerdaten	Schaltkonfiguration ABM

1) Ab Ausbaustufe S1.1

Tab. 3.1 Aufträge an und Auftragsquittungen von der Normalfrequenzeinrichtung NFR2001

Die nachfolgenden Meldungsformate werden bei Änderung der Dateninhalte spontan an den Steuerrechner übermittelt.

Typ (SPOntanmeldung)	Format	Verwendung
SPO	Alarminformation	Fehlzustandsbild im NFR2001
SPO	Benutzerdaten	Konfigurationsdaten Erweiterte Alarminformation Zustandsdaten

Tab. 3.2 Spontane Meldungen durch die Normalfrequenzeinrichtung NFR2001 S1.0

4 Einschübe

4.1 Einschub Zentrale Überwachung ZÜW

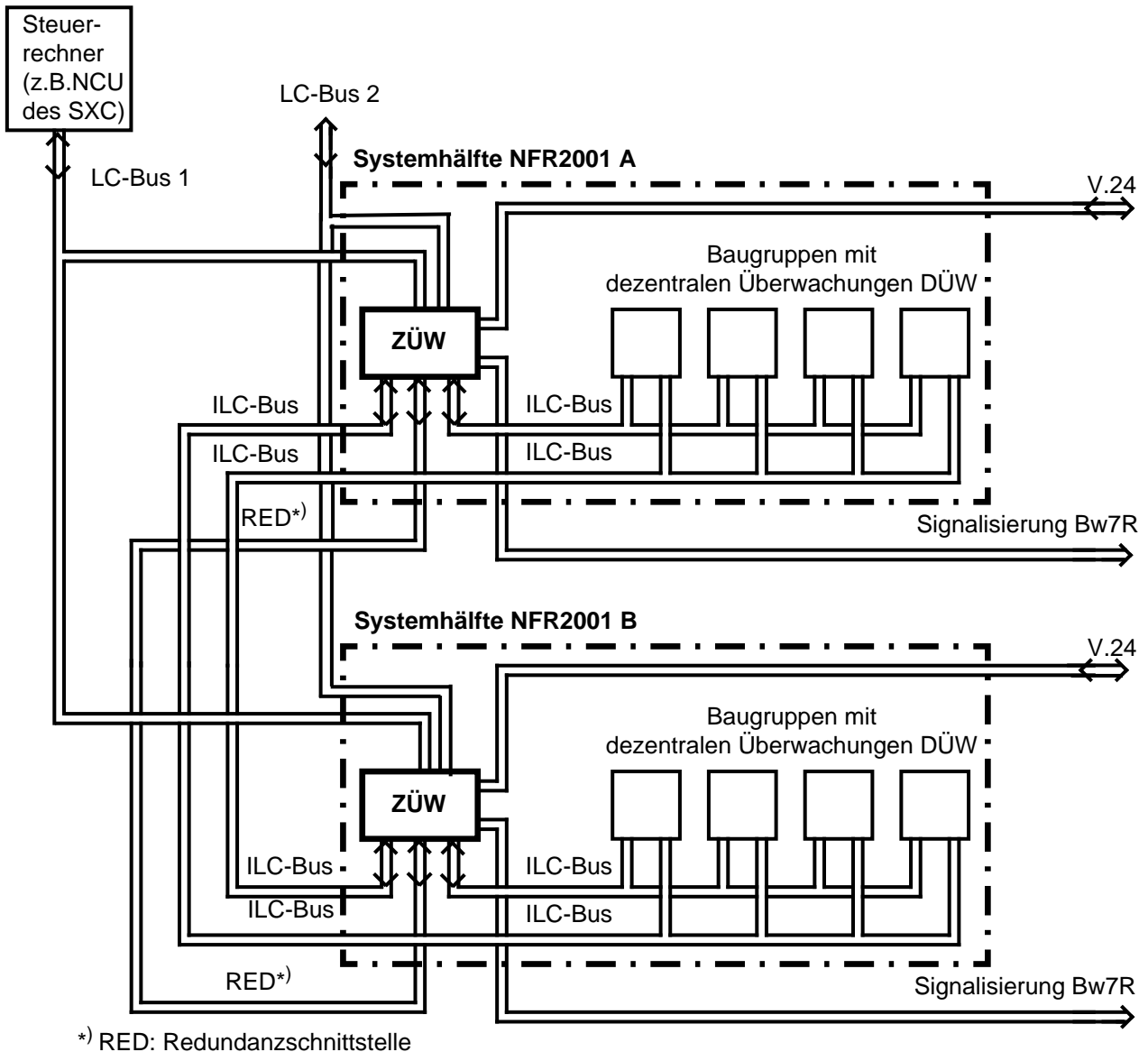


Bild 4.1 Einbindung des Einschubs Zentrale Überwachung ZÜW in die Normalfrequenzeinrichtung NFR2001

Der Einschub Zentrale Überwachung ZÜW übernimmt Steuerungs- und Überwachungsaufgaben innerhalb des Normalfrequenzeinsatzes NFR2001 und stellt die Verbindung zwischen dem übergeordneten Steuerrechner (z.B. NCU des SXC) und den anderen Einschüben im Normalfrequenzeinsatz her. Die Verbindung zum Steuerrechner NCU besteht aus einem gedoppelten LC-Bus, die Verbindung zu den anderen Einschüben aus einem gedoppelten ILC-Bus.

Außerdem hat der Einschub ZÜW

- eine V.24-Schnittstelle für einen Bedien-PC zur Inbetriebnahme, Wartung, Konfiguration, Download der Normalfrequenzeinrichtung NFR2001 sowie für Tests,
- eine Redundanzschnittstelle (RED) zur Kommunikation mit dem Einschub ZÜW in der zweiten Systemhälfte (im Fall einer Normalfrequenzeinrichtung NFR2001 mit gedoppelter Systembestückung),
- eine Signalisierungsschnittstelle entsprechend dem bei Schmalgestellen der Bauweise 7R üblichen Signalisierungsschema.

4.1.1 Schaltungskonzept

Kernstück der Schaltung ist ein Mikroprozessor SAB 80C186 mit einer Taktfrequenz von 16 MHz. Dieser Takt wird von einem 32-MHz-Quarzoszillator abgeleitet. Der Zugriff auf alle peripheren Bauelemente des Mikroprozessors ist I/O-gemappt. Die Daten auf dem Adreß-, Daten- und Steuerbus werden mit CMOS-Pegel übertragen. Der Speicher setzt sich aus RAM, EPROM, FEPR0M und EEPROM zusammen; die Betriebssoftware im FEPR0M (Flash-EPROM) ist durch Firmware-Download nachladbar.

Über 20 Leitungen kann der Mikroprozessor des Einschubs ZÜW die LEDs in der gesamten Normalfrequenzeinrichtung NFR2001 steuern, und zwar gegebenenfalls in beiden Systemeinheiten. Jeder Ausgang auf dem Einschub ZÜW ist über einen separaten Port-Eingang durch den Mikroprozessor lesbar.

Die LEDs werden von der eigenen Spannung ULED versorgt. Bei einem ZÜW-Alarm (Spannungsausfall) leuchtet die rote LED auf dem jeweiligen Einschub ZÜW.

4.1.2 Serielle Schnittstellen

4.1.2.1 HDLC-Controller

Der Einschub ZÜW hat fünf serielle Schnittstellen, die im HDLC-Protokoll (High level data link control) betrieben werden. Dabei handelt es sich um

- den LC-Bus (gedoppelt)
- die ILC-Busse und
- die RED-Schnittstelle zur Kommunikation zwischen den beiden Einschüben ZÜW bei gedoppelter Systembestückung NFR2001.

Alle HDLC-Schnittstellen werden von einem gemeinsamen 6,144-MHz-Quarzoszillator mit dem erforderlichen Takt versorgt.

Bei einem Reset des Einschubs ZÜW werden die Steuerungs-Bauelemente durch den Mikroprozessor rückgesetzt.

4.1.2.2 V.24-Schnittstelle

Die V.24-Schnittstelle (mit Schrittgeschwindigkeiten von 300 Baud bis 19,2 kBaud) wird für den Anschluß des Bedien-PC verwendet. Außerdem kann sie für den Firmware-Download umkonfiguriert werden; während des Download-Vorgangs sind die Hardware-Handshake-Leitungen nicht mehr aktiv. In diesem nicht normgerechten Betriebszustand der V.24-Schnittstelle beträgt die Schrittgeschwindigkeit 28 846 Baud.

Voraussetzung für einen Download-Vorgang ist, daß die V.24-Schnittstelle nicht mit einem Modem (das die o. g. Handshake-Leitungen benötigt), sondern mit einem PC verbunden ist; dies wird vom Einschub ZÜW vor dem Umkonfigurieren der Schnittstelle überprüft.

4.1.3 Parallele Schnittstelle

Die parallele Schnittstelle überträgt

- Alarmmeldungen entsprechend dem bei Schmalgestellen der Bauweise 7R üblichen Signalisierungsschema,
- Stromversorgungsalarme,
- LED-Steuerungsdaten,
- Konfigurationsdaten und
- die Daten des GBÜ-EEPROMs.

4.1.4 Reset- und Watchdog-Logik

Die Reset- und Watchdog-Logik führt u. a. folgende Funktionen aus:

- Power-on-Reset (nach dem Anlegen der Versorgungsspannung),
- Überwachen der Versorgungsspannung,
- Watchdog,
- von der Firmware ausgelösten Hardware-Reset.

Der Power-on-Reset beginnt beim Einstecken des Einschubs, sobald die voreilenden Stromversorgungspins Kontakt geben, und wird beendet, wenn der Einschub bis zum Anschlag in den Einsatz NFR2001 eingesteckt ist; Kriterium hierfür ist das Anliegen von GND-Potential an bestimmten (nicht voreilenden) Pins an beiden Enden des Rückwandsteckverbinders.

Nach dem Power-on-Reset wird die Watchdog-Schaltung automatisch gestartet. Sie muß vom Mikroprozessor regelmäßig alle 1,6 s nachgetriggert werden, sonst löst sie einen Watchdog-Reset des Mikroprozessors aus.

Der Grund für jeden Reset-Vorgang wird in einem Anlaufgrundregister festgehalten, das vom Mikroprozessor gelesen werden kann.

4.1.5 Verriegelungslogik

Von den bei gedoppelter Systembestückung NFR2001 vorhandenen zwei Einschüben ZÜW darf immer nur einer aktiv sein; dies wird durch eine Verriegelungslogik gesteuert: Auf jedem Einschub ZÜW befindet sich ein NAND-Element, das zusammen mit dem entsprechenden NAND-Element des anderen Einschubs ZÜW ein Flipflop bildet; die darin gespeicherte Information "Einschub ZÜW aktiv/passiv" wird über je einen Interrupt-Eingang an den Mikroprozessor gemeldet und zusätzlich über Port-Eingänge überwacht.

Das Flipflop wird durch den Reset-Eingang des Mikroprozessors getriggert, so daß sich bei jedem Reset der Aktiv-passiv-Zustand der beiden Einschübe ZÜW umkehrt.

Bei nachträglichem Einstecken eines Einschubs ZÜW wird der andere, in Betrieb befindliche Einschub ZÜW nicht beeinflusst; der neu hinzugekommene Einschub ZÜW nimmt den Betriebszustand "passiv" an. Bei gleichzeitigem Power-on-Reset auf beiden Einschüben ZÜW wird einer der Einschübe durch eine Zufallsentscheidung aktiviert.

4.1.6 Stromversorgung

Die Stromversorgungsschaltung erzeugt mit einem Schaltregler aus zwei getrennt zugeführten Versorgungsspannungen von je -60 V (zulässiger Bereich -36 V bis -75 V) die Betriebsspannung $+5,1\text{ V}$ für die anderen Funktionseinheiten des Einschubs. Zusätzlich liefert die Stromversorgungsschaltung eine Spannung von $+12\text{ V}$ zum Löschen und Programmieren des Flash-EPROMs; die Spannung $+12\text{ V}$ wird nur für diesen Zweck über ein TTL-Steuersignal und Relais eingeschaltet; im ausgeschalteten Zustand ist die Leitung über eine Diode mit $+5,1\text{ V}$ verbunden. Die beiden getrennt zugeführten Versorgungsspannungen -60 V werden auf Ausfall überwacht.

4.2 Zeitbasiseinschub ZBE2 (2,048 Mbit/s/2,048 MHz/10 MHz)

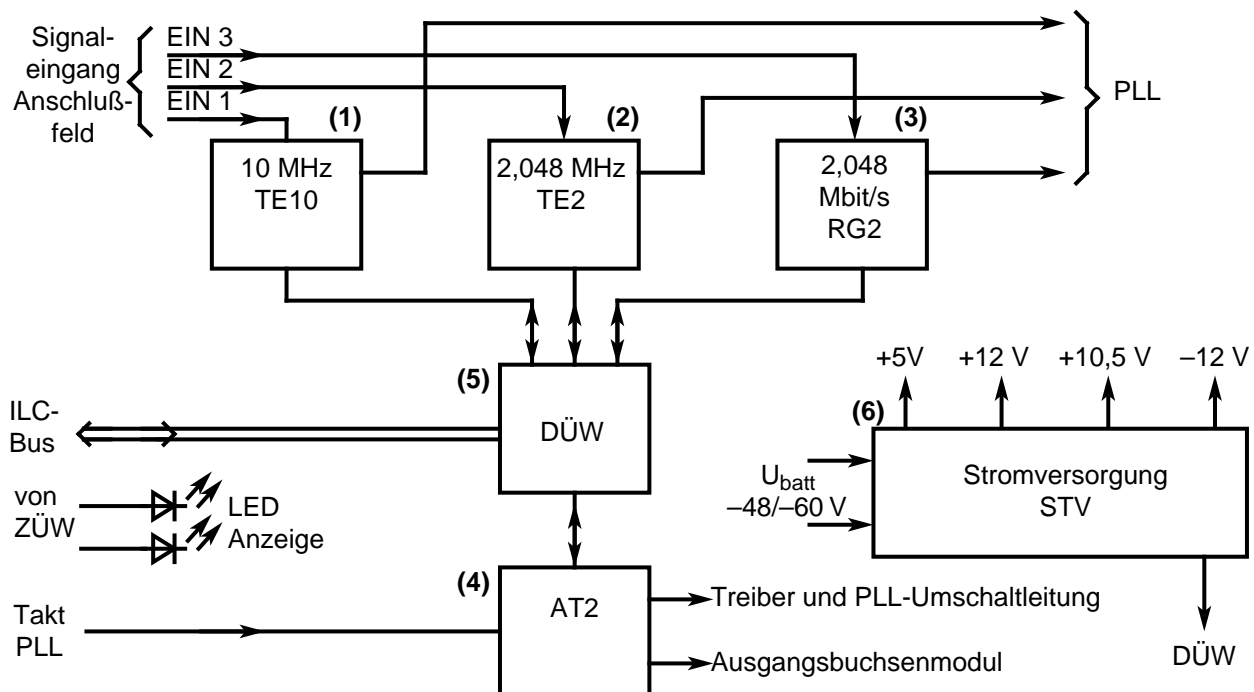


Bild 4.2 Übersichtsschaltplan Zeitbasiseinschub ZBE2 (2,048 Mbit/s/2,048 Mbit/s/2,048 MHz/10 MHz)

Der Zeitbasiseinschub ZBE2 (2,048 Mbit/s/2,048 MHz/10 MHz) empfängt die von einer Übertragungsstrecke kommenden und von einem nationalen Caesium-Atomfrequenznormal abgeleiteten Referenztaktsignale und gibt sie nach einer ersten groben Regeneration an den PLL-Einschub ab.

Der Zeitbasiseinschub ZBE2 (2,048 Mbit/s/2,048 MHz/10 MHz) hat einen Eingang für ein Taktsignal mit 2,048 MHz, einen Eingang für ein Taktsignal mit 10 MHz und einen Eingang für ein HDB3-Signal mit 2,048 Mbit/s. Jedes Eingangssignal wird auf zu hohen und zu niedrigen Eingangspegel überwacht.

Auf dem Einschub ist außerdem ein Ausgangstreibermodul integriert, an dessen Eingang das vom PLL- Einschub vollständig regenerierte Signal anliegt und von dessen Ausgang das integrierte Ausgangsbuchsenmodul 1 (ABM1) der Normalfrequenzeinrichtung angesteuert wird.

Der Zeitbasiseinschub ZBE2 (2,048 Mbit/s/2,048 MHz/10 MHz) ([Bild 4.2](#)) läßt sich in folgende sechs Funktionseinheiten gliedern:

Takteingang 10 MHz, TE10 (1)

Takteingang 2,048 MHz, TE2 (2)

Regenerator 2,048 Mbit/s, RG2 (3)

Ausgangstreibermodul, AT2 (4)

Dezentrale Überwachung, DÜW (5)

Stromversorgungsmodul, STV (6)

4.2.1 Takteingang 2,048 MHz

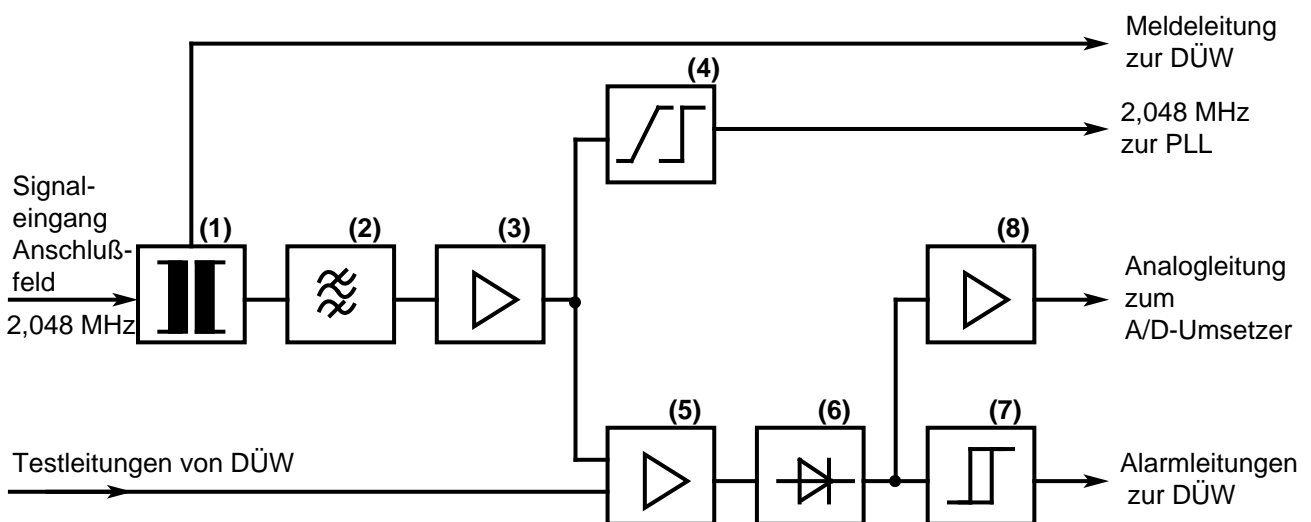


Bild 4.3 Übersichtsschaltplan Funktionseinheit Takteingang 2,048 MHz



Wenn nicht anders angegeben, beziehen sich im Abschnitt [4.2.1](#) alle in runde Klammern gesetzte Zahlen auf Schaltungsteile von [Bild 4.3](#)

Der Takteingang 2,048 MHz ([Bild 4.2](#) und [Bild 4.3](#)) empfängt an seinem Eingangsübertrager den zu regenerierenden 2,048-MHz-Takt. Vor dem Eingangsübertrager (1) befindet sich ein Schalter, mit dem eine Eingangsimpedanz von 75 Ω oder 120 Ω gewählt werden kann. Die Schalterstellung wird der DÜW gemeldet. Der Eingangsübertrager (1) wird hochohmig betrieben. An den Eingangsübertrager ist ohne Pufferung ein Resonanzkreis (2) angeschlossen. Nach einem darauffolgenden Verstärker (3) wird das Signal sowohl einem Zweig zur Taktgewinnung als auch einem Zweig zur Pegelüberwachung zugeführt. Im Zweig zur Taktgewinnung erzeugt ein schneller Komparator (4) aus dem Sinussignal ein Rechtecksignal. Im Zweig zur Pegelüberwachung wird das Signal verstärkt (5) und anschließend an einen Spitzenwertgleichrichter (6) angelegt. Nach der Spitzenwertgleichrichtung wird das Signal zwei Komparatoren (7) zur Detek-

tierung eines eventuell auftretenden Über- oder Unterpegels zugeführt. Außerdem wird die am Spitzenwertgleichrichter gewonnene Gleichspannung gepuffert (**8**) und danach an eine Ausgangsleitung angelegt, die zu einem A/D-Umsetzer führt.

Mit den Testleitungen kann während des Betriebes ein Testalarm ausgelöst werden, ohne den Betrieb zu stören.

4.2.2 Takteingang 10 MHz

Der Takteingang 10 MHz ist – mit auf 10 MHz dimensionierten Bauelementen – im Prinzip ebenso aufgebaut wie der Takteingang 2,048 MHz. Es gilt damit die gleiche Beschreibung wie für den Takteingang 2,048 MHz (Abschnitt [4.2.1](#)); es ist lediglich 2,048 MHz durch 10 MHz zu ersetzen.

4.2.3 Regenerator (Takteeingang für HDB3-Signal)

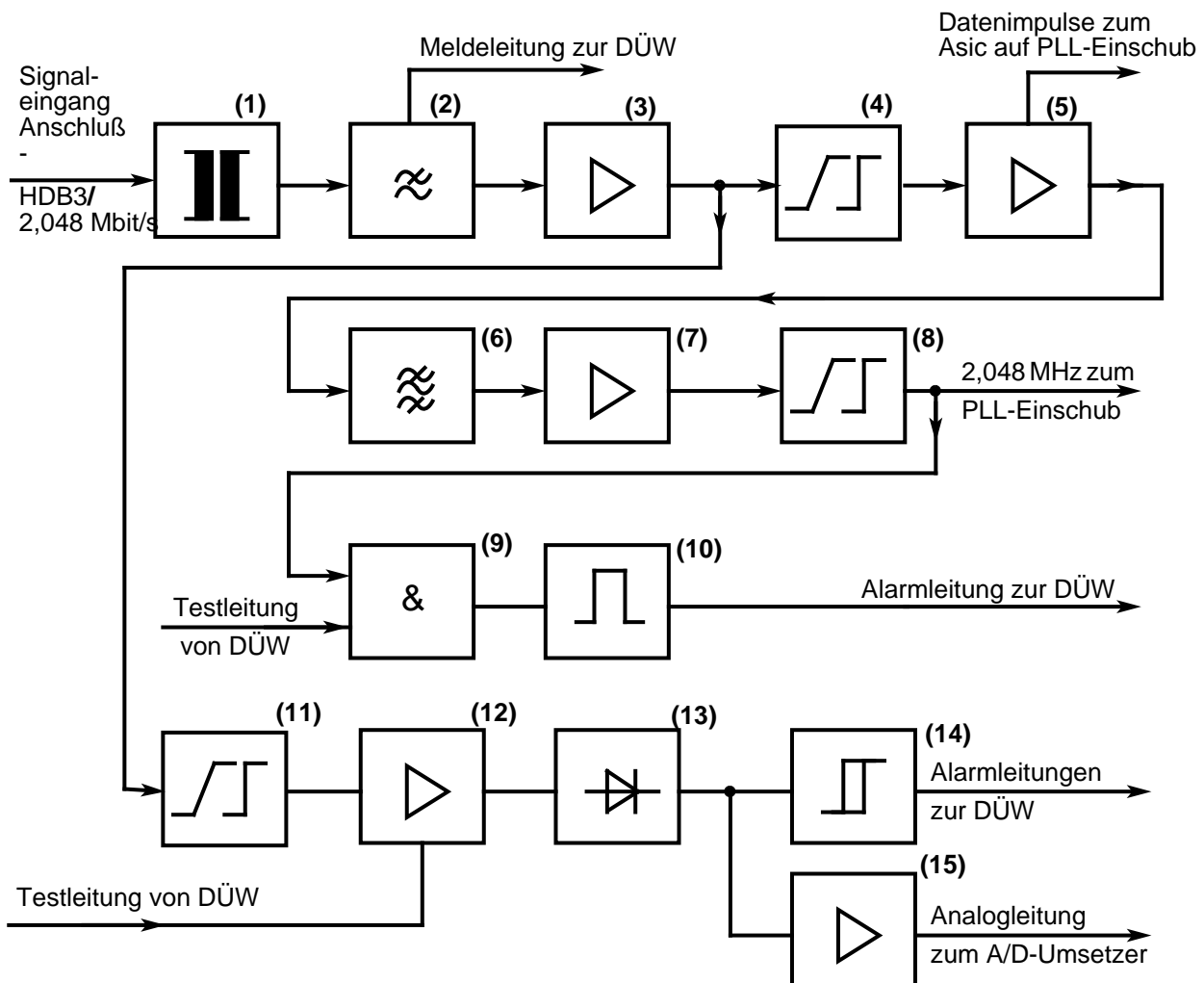


Bild 4.4 Übersichtsschaltplan Funktionseinheit Regenerator 2,048 Mbit/s



Wenn nicht anders angegeben, beziehen sich im Abschnitt [4.2.3](#) alle in runde Klammern gesetzte Zahlen auf Schaltungsteile des Bildes [4.4](#).

Die Eingangsimpedanz des Regenerators für ein HDB3-Signal mit 2,048 Mbit/s beträgt 75Ω unsymmetrisch. Der Eingang (1) ist mit Schutzdioden ausgerüstet. Der Eingang kann mit einem Schalter an verschiedene Eingangspegel angepaßt werden.

Ein unsymmetrisches Eingangssignal mit einer Spannung $U_{\text{Null/Spitze}}$ von 2,37 V von einer Leitung mit einer Impedanz von 75Ω wird direkt an die Eingangsbuchse des Systems angeschlossen.

Wird ein symmetrisches Signal von einer Leitung mit einer Impedanz von 120Ω angeboten, so ist ein Koppler $120 \Omega/75 \Omega$ mit einer Durchgangsdämpfung von 26 dB zu verwenden. Dies ergibt eine Spannung $U_{\text{Null/Spitze}}$ von 150 mV.

Die jeweilige Stellung des Pegelwahlschalters wird zur Dezentralen Überwachung DÜW gemeldet.

Vor der ersten Pufferstufe **(3)** befindet sich ein Nyquistfilter **(2)**. Nach der Pufferstufe **(3)** verzweigt sich das Signal zum Leitungsentzerrer **(4)** und zum Entzerrer **(11)**.

Zur Leitungsentzerrung **(4)** wird ein Repeater-IC verwendet, der die Daten und den Takt regeneriert und die positiven und negativen Datenimpulse für den PLL-Einschub liefert. Der Repeater-IC steuert außerdem nach einer Signalverstärkung **(5)** den Schwingkreis **(6)** zur Taktregeneration. Ein Puffer **(7)** und ein schneller Komparator **(8)** regenerieren den Takt. Am schnellen Komparator **(8)** ist die Ausgangsleitung zum PLL-Einschub angeschlossen.

Nach dem Komparator **(8)** befindet sich eine Taktausfallsüberwachung, die aus einem UND-Gatter **(10)(9)** und einem Monoflop besteht. Die DÜW kann über eine Testleitung das UND-Gatter **(9)** sperren und damit einen Testalarm auslösen.

Eine weitere Pegelüberwachung signalisiert, wenn das Eingangssignal Über- oder Unterpegel aufweist. Dazu wird nach dem Puffer **(3)** ein Teil des Signals zum Entzerrer **(11)** – der teilweise die Patternabhängigkeit ausgleicht – abgezweigt. Dieser Signalteil wird vom Puffer **(12)** verstärkt, im Spitzenwertgleichrichter **(13)** gleichgerichtet, und mit zwei Komparatoren **(14)** wird der gewonnene Wert auf Unter- und Überpegel überwacht.

Von dem mit dem Spitzenwertgleichrichter gewonnenen Signal wird außerdem ein Teil an den Verstärker **(15)** geführt und anschließend zu einem A/D-Umsetzer weitergeleitet.

4.2.4 Ausgangstreibermodul AT2

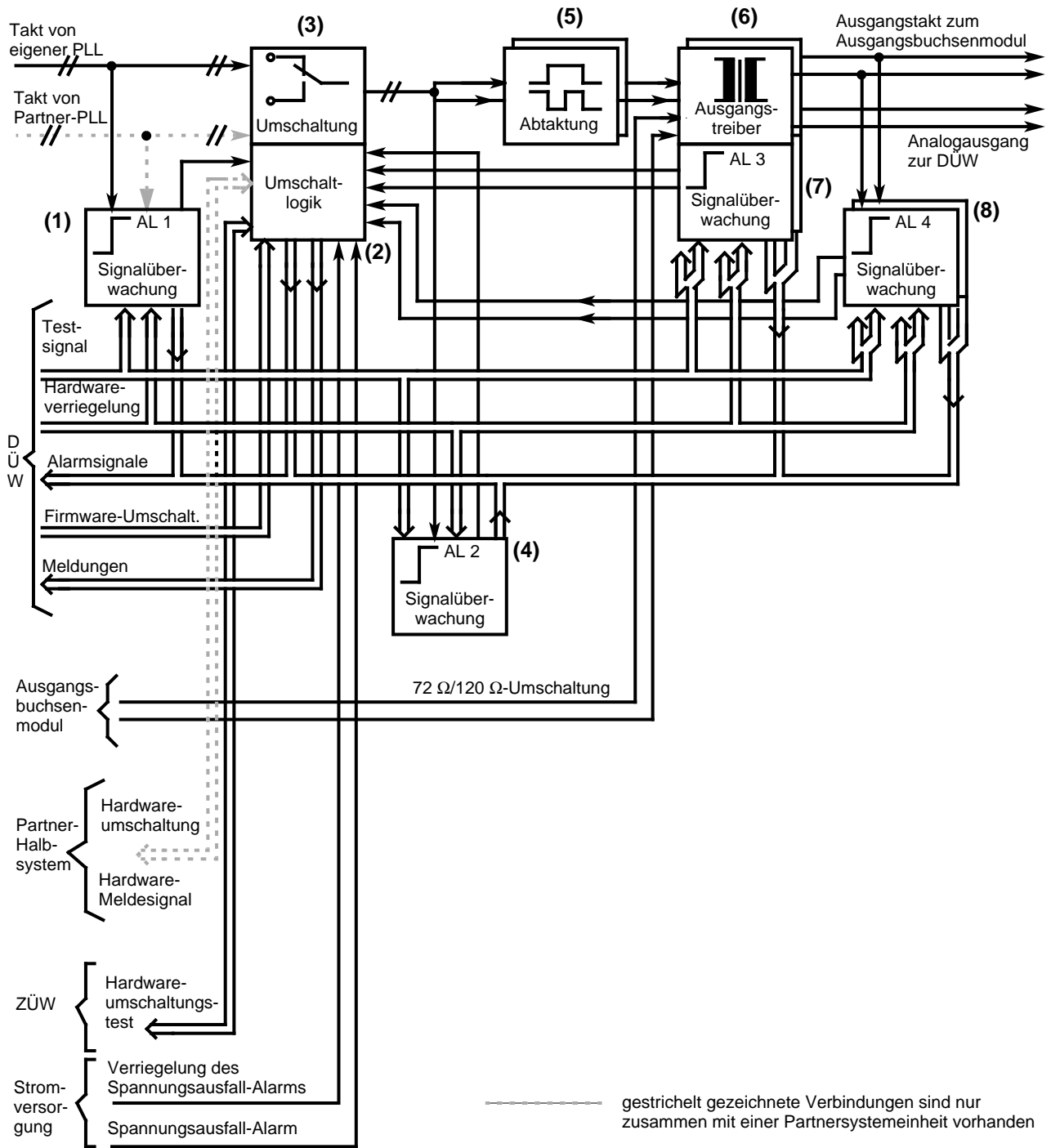


Bild 4.5 Übersichtsstromlauf Ausgangstreibermodul AT2



Wenn nicht anders angegeben beziehen sich im Abschnitt 4.2.4 alle in runde Klammern gesetzte Zahlen auf Schaltungsteile des Bildes 4.5

Das Ausgangstreibermodul AT2 (**Bild 4.2 (4)** und **Bild 4.5**) erhält vom PLL-Einschub ein 2,048-MHz- und ein 4,096-MHz-Taktsignal entweder von der eigenen Systemeinheit oder von der Partnersystemeinheit.

In der Signalüberwachungseinheit AL1 (**1**) wird überprüft, ob die Eingangstakte vorhanden sind. Ist ein Taktsignal ausgefallen, so wird ein Alarm an den Dezentralen Überwachungsprozessor DÜW des Einschubs gesendet. Außerdem bewirkt ein Signal, das direkt zu einer Umschaltlogik (**2**) führt, daß bei allen Ausgangstreibermodulen des Systems im Falle eines PLL-Ausfalls auf den funktionsfähigen PLL-Einschub geschaltet wird. Ist kein Partnersystem vorhanden oder das Partnersystem wegen eines Fehlers (dies wird durch eine Meldeleitung signalisiert) nicht bereit, so kann bei Ausfall des PLL-Einschubs kein Ausgangstakt mehr geliefert werden.

Die Umschaltlogiken (**2**) aller Einschübe für die Umschaltung (**3**) der aktiven PLL sind bei beiden Partnersystemen direkt ohne Zwischenschaltung der DÜW hardwaremäßig miteinander verbunden (gestrichelter Bus in **Bild 4.5**). Damit wird eine schnelle Umschaltung ermöglicht. Der in **Bild 4.6** gestrichelte Bus enthält die Meldeleitungen, die anzeigen, ob die eigenen und/oder die Partnereinschübe (PLL- und Ausgangseinschub 2AT2; Ausgangsmodul: AT2-Modul auf dem Zeitbasiseinschub) bereit sind aktiviert zu werden; außerdem enthält dieser Bus auch die Umschaltleitungen. Letztere werden von der DÜW und der ZÜW gemeinsam in regelmäßigen Zeitabständen überprüft, jedoch ohne daß eine tatsächliche Umschaltung stattfindet. Die Umschaltlogik (**2**) bewirkt, daß alle Ausgangstreiber (**6**) immer den Takt von demselben PLL-Einschub erhalten. Ist kein Partnersystem vorhanden, kann keine Umschaltung stattfinden.

Der Umschalter (**3**) wird von der Umschaltlogik (**2**) gesteuert. Er schaltet gleichzeitig mit einem Multiplexer den 2,048-MHz-Takt und den 4,096-MHz-Takt um und schaltet damit eine der beiden PLLs in den aktiven Zustand.

Der Takt, der an die Ausgangstreiber verzweigt wird, wird in der AL2 (**4**) genauso wie in der AL1 (**1**) kontrolliert; auftretende Alarmer und Meldungen werden an die DÜW geleitet. In der Abtaktung (**5**) wird das 2,048-MHz-Signal durch das 4,09-MHz-Signal symmetriert, bevor es in den Ausgangstreibern (**6**) verstärkt wird.

Die Ausgangstreiber (**6**) verstärken das 2,048-MHz-Signal entweder für angeschlossene 120- Ω -Leitungen oder für angeschlossene 75- Ω -Leitungen. Der Takt für die 120- Ω -Leitungen weist symmetrischen und der Takt für 75- Ω -Leitungen weist unsymmetrischen Spannungspegel auf, wobei außerdem die Amplituden der Spannungswerte unterschiedlich sind.

Gesteuert wird diese Umschaltung durch zwei Meldeleitungen, die vom Ausgangsbuchsenmodul kommen und mit zwei Schiebeschaltern bedient werden. Die Meldeleitungen werden auch an die DÜW des Einschubs geführt. Jedes AT2-Modul speist die 12 Taktausgänge eines Ausgangsbuchsenmoduls. Das entsprechende AT2-Modul des Partnersystems – falls eines vorhanden ist – speist dasselbe Ausgangsbuchsenmodul, wobei das passive AT2-Modul hochohmig ist. Die Ausgangsimpedanz ist mit zwei Schaltern für zwei Gruppen zu je sechs Ausgängen umschaltbar. Die einzelnen Ausgänge des Ausgangsbuchsenmoduls sind dabei durch Widerstände entkoppelt.

Die Signalüberwachung AL3 (**7**) überwacht die Steuertransistoren der Ausgangstreiber (auch im passiven Zustand) und setzt im Störfall, wenn ein Transistor nicht mehr schaltet, einen Alarm an die DÜW ab. Außerdem wird über die Steuerleitung zur Umschaltlogik verhindert, daß die Ausgangstreiber (**6**) im passiven AT2-Modul aktiviert werden können.

Die Signalüberwachungseinheit AL4 **(8)** überwacht die Ausgangstakte auf Über- und Unterpegel und gibt entsprechende Alarme an die DÜW ab. Für 75-Ω-Leitungen und für 120-Ω-Leitungen liegen unterschiedliche Spannungspegel an den Ausgangstreiber-
ausgängen **(6)**; es wird deshalb auch die Referenzspannung der Überwachungs-
komparatoren **(8)** jeweils entsprechend angepaßt. Außerdem liefert die AL4 einen
analogen Gleichspannungswert, der dem 2,048-MHz-Ausgangspegel des jeweiligen
Treibers **(6)** entspricht und dem A/D-Umsetzer des DÜW-Moduls zugeführt wird.

Alle in diesem Abschnitt aufgeführten Alarme werden in regelmäßigen Zeitabständen zu
Testzwecken von der DÜW über Testleitungen ausgelöst. Dabei wird zusätzlich zum
Testsignal ein Hardware-Verriegelungssignal zur Überwachungseinheit gesendet, mit
dem eine Meldung an die Umschaltlogik **(2)** verhindert wird, somit auch nicht umge-
schaltet wird und die aktiven Einschübe aktiv bleiben. Der Testalarm zur Auslösung der
Signalüberwachung AL3 wird nur im passiven Zustand aktiviert.

Alarme, die im aktiven Zustand der Ausgangstreiber eine Umschaltung bewirken kön-
nen, sind von der AL1 zur AL4 hin zeitlich gestaffelt. Damit werden Überschneidungen
der Alarme vermieden.

Die Meldeleitungen von der Umschaltlogik zur DÜW übertragen die Statussignale der
PLLs und der Ausgangstreiber und liefern damit der DÜW die Entscheidungsgrundlage,
ob bei nicht zeitkritischen Fehlern (z. B. Frequenzalarm) umgeschaltet werden darf oder
nicht.

Bei einem Alarm von der Stromversorgung wird in gedoppelten Systemen hardware-
mäßig sofort auf das Partnersystem umgeschaltet. Dieser Alarm kann ebenfalls zu Test-
zwecken ausgelöst werden; dabei wird von der DÜW gleichzeitig ein Signal zur
Hardwareverriegelung gesendet, sodaß ebenfalls keine Umschaltung stattfindet.

4.2.5 Dezentrale Überwachung DÜW und Firmware

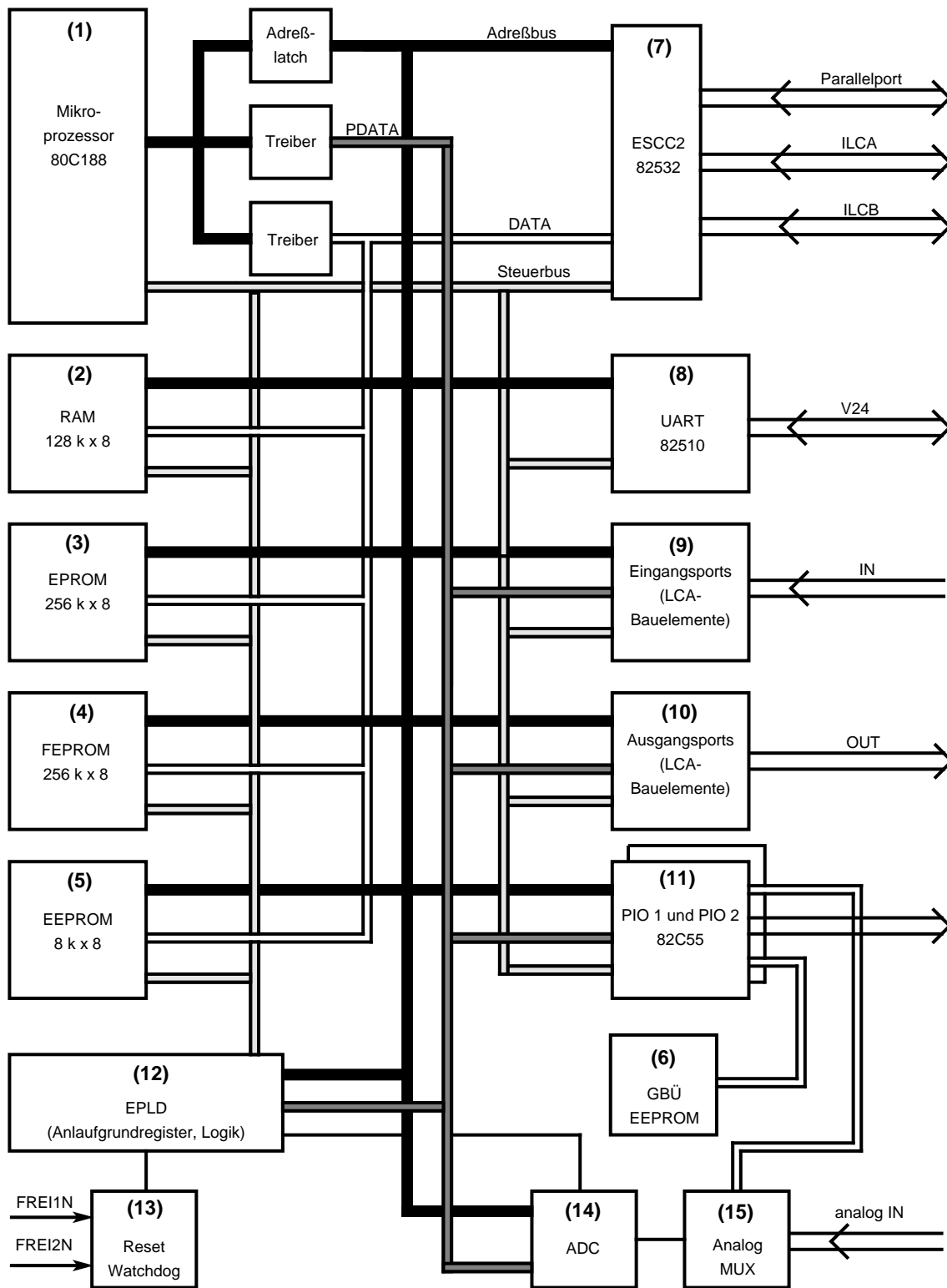


Bild 4.6 Übersichtsschaltplan Dezentrale Überwachung DÜW

Die Dezentrale Überwachung DÜW ([Bild 4.2 \(5\)](#) und [Bild 4.6](#)) erfasst die Alarmer, Meldungen und Signalisierungen des Einschubs Takteingang 2,048 Mbit/s / 2,048 MHz / 10 MHz, verarbeitet diese vor und leitet sie an den aktiven ZÜW-Einschub weiter. Sie überwacht im Zeitbasiseinschub ZBE2 (2,048 Mbit/s/2,048 MHz/10 MHz)

die 2,048-MHz- und 10-MHz-Eingangsschaltung auf:

- zu hohen Eingangspegel
- zu niedrigen Eingangspegel
- Ausfall des internen Taktes

die Schaltung Regenerator 2,048 Mbit/s auf:

- zu hohen Eingangspegel
- zu niedrigen Eingangspegel
- Ausfall des internen Taktes

das Ausgangstreibermodul AT2 auf:

- Ausfall des Eingangstaktes
- Ausfall des Steuertaktes
- Über- oder Unterpegel des Ausgangstaktes
- Funktion des Umschaltemechanismus aktiv/passiv bei gedoppelten Systemen

das Stromversorgungsmodul STV auf:

- Unterspannung

4.2.5.1 Hardware der DÜW



Wenn nicht anders angegeben, beziehen sich sämtliche in Klammern gesetzte fettgedruckte Zahlen in diesem Abschnitt auf Teile des Bildes 4.6

Die Dezentrale Überwachung DÜW ([Bild 4.6](#)) lässt sich im wesentlichen in folgende Funktionseinheiten gliedern:

- Mikroprozessor CPU **(1)**
- Speicher **(2, 3, 4, 5, 6)**
- Eingangs-, Ausgangsports **(7, 8, 9, 10, 11)**
- Resetgenerator, Anlaufgrundregister, Chip Select- und Watchdog-Logik sowie Analog/Digital-Umsetzer ADC **(12, 13, 14, 15)**

Der Mikroprozessor **(1)** hat eine interne Taktfrequenz von 10 MHz (erzeugt durch Teilung der 20-MHz-Frequenz eines externen Taktgenerators). Neben den herkömmlichen Funktionen verfügt der Mikroprozessor noch zusätzlich über

- Interne programmierbare Chip Select-Logik
- Interrupt-Logik
- DMA-Controller (DMA: Direct Memory Access)
- Waitstate-Generator

Der Mikroprozessor **(1)** hat einen Memory-Bereich von 1 Mbyte und einen I/O-Bereich von 64 kbyte mit 8 bit Datenbusbreite.

Der Speicher der DÜW ([Bild 4.7](#)) ist für das FW-Downloadkonzept (FW: Firmware) aufgeteilt. Im Code-Bereich ist ein 256-kbyte-EEPROM **(3)**, das die BOOT-Firmware enthält sowie ein 256-kbyte-FEPROM **(4)** für die eigentliche Betriebssoftware. Das Chip-Sel-

ect-Control-Register ist so programmiert, daß bei Zugriffen auf den Memory-Bereich – der den gleichen Adreßbereich wie das EEPROM **(5)** hat – extern erzeugte wait states verhindert werden.

Die Betriebssoftware ist über FW-Download nachladbar.

Das RAM **(2)**, das EPROM **(3)** und das FEPROM **(4)** können ohne Wartezyklen (waite states) angesprochen werden. Für das EEPROM **(5)** werden im EPLD **(12)** ein oder zwei Wartezyklen erzeugt.

Für die GBÜ-Daten gibt es ein serielles EEPROM **(6)** mit 2 kbyte.

Die Eingangs- und Ausgangsports **(7, 8, 9, 10, 11)** erfüllen folgende Aufgaben:

- Ausgabe von Steuersignalen zu den analogen Schaltungsmodulen
- Auslesen von Melde- und Alarmsignalen der analogen Schaltungsmodule
- Auslesen der Einschub- und Steckplatzkennung
- Bereitstellung einer Prüffeldschnittstelle
- Steuerung der GBÜ-Datenleitungen
- DÜW-interne Ein- und Ausgabefunktionen

Hardwaremäßig werden diese Aufgaben von zwei PIO-Bauelementen (82C55A2) **(11)**, vom parallelen Port des ESCC-Bauelementes (SAB82532) **(7)** und den Port-Funktionen der programmierbaren Logik-Bauelemente (LCA-XC3030) **(9, 10)** wahrgenommen. Das UART (82510) **(8)** stellt eine V.24-Schnittstelle zur Verfügung.

Über das PIO1-Bauelement **(11)** werden die Signale ausgegeben, die mit einem definierten Freigabesignal gesichert sind.

In die mit LCA-Bauelementen aufgebauten Eingangs- und Ausgangsports **(9, 10)** müssen die LCA-Konfigurationsdaten vor der Inbetriebnahme geladen werden. Die Konfigurationsdaten sind in eigens dafür vorgesehenen, seriellen EPROMs gespeichert und werden von dort nach Erkennen des Konfigurationsbetriebes von den LCA-Bauelementen **(9, 10)** selbstständig geladen.

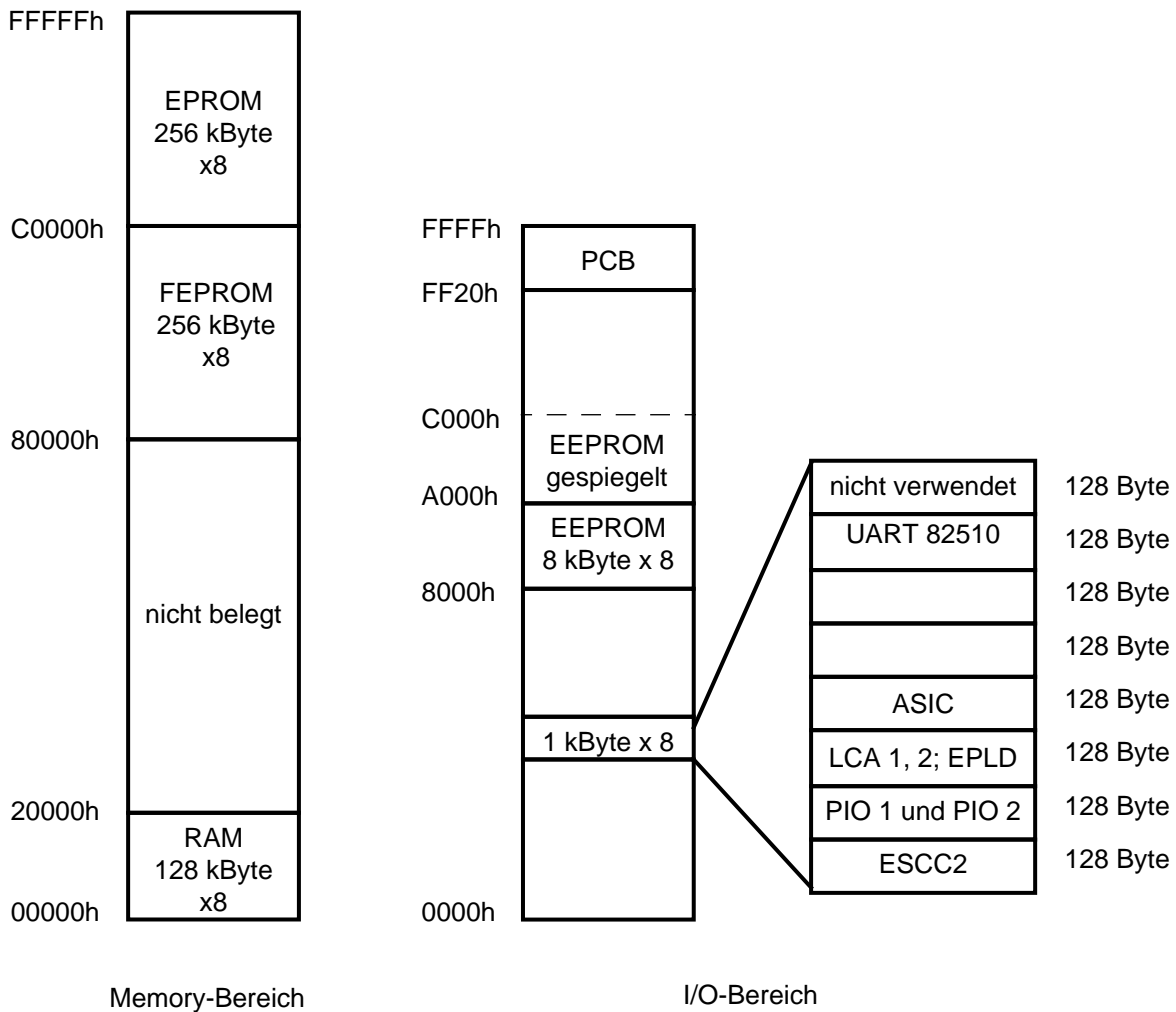


Bild 4.7 Adreßraum und Adreßbelegung der CPU

Das ESCC2-Bauelement (7) bedient als HDLC-Controller die beiden ILC-Bus-Schnittstellen der DÜW und ist am System-Bus angeschlossen. Während eines Reset ist das ESCC2-Bauelement im "power-up-mode", danach bis zur Bauelementekonfiguration im "power-down-mode".

Das UART-Bauelement 82510 (8) stellt die V.24-Schnittstelle zur Verfügung. Alle Einstellungen für das UART-Bauelement werden vom Prozessor vorgenommen.

Die DÜW kann mit dem ADC (14) bis zu 6 Analoggrößen messen. Die Messungen werden mit einem 12-bit-Analog-Digital-Umsetzer (14) durchgeführt. Die maximale Konversionszeit beträgt 10 ms. Damit 6 Analoggrößen meßbar sind, ist dem Analog-Digital-Umsetzer ein entsprechender Analog-Multiplexer (15) vorgeschaltet. Zur Entkopplung von Analog-Digital-Umsetzer (14) und Analog-Multiplexer (15) befindet sich zwischen beiden ein als Pufferverstärker geschalteter Operationsverstärker. Um ein sicheres Einschwingen der Meßgröße zu gewährleisten ist – bedingt durch einen RC-Tiefpaß am Eingang des Pufferverstärkers – nach jeder Kanalumschaltung eine Wartezeit von min-

destens 100 ms einzuhalten. Da der Prozessor **(1)** nur über einen 8-bit-Datenbus verfügt, wird der 12-bit-Ausgangswert des Analog-Digital-Umsetzer mit zwei Datenübertragungs-Zyklen ausgelesen.

Für den **Reset-Generator** und die **Watchdogschaltung** wird ein MAX691-Bauelement **(13)** verwendet.

Die DÜW hat folgende Reset-Quellen:

- Power On Reset
- Einstecksicherung
- Spannungsüberwachung (Power Fail)
- Watchdog
- FW-Reset (durch die Firmware ausgelöster Hardware-Reset)

Power On Reset, Einstecksicherung, Spannungsüberwachung und Watchdog werden mit dem MAX691-Bauelement verwirklicht.

Die Watchdogschaltung ist fest auf 400 ms eingestellt. Wird innerhalb dieses Zeitintervalls vom MAX691-Bauelement keine Signalfanke erkannt, so wird ein Reset ausgelöst.

Nach einem Power ON tritt das erste Watchdog-Intervall nach 1,6 s auf; damit wird der Software genügend Zeit für den Anlauf gegeben.

Die Funktion des Watchdog kann getestet werden, ohne daß ein Reset ausgelöst wird.

Die Spannungsüberwachung löst einen Reset aus, wenn die Spannung unter 4,65 V sinkt.

Das Anlaufgrundregister im **EPLD-Bauelement (12)** ist ein 2-bit-Register aus dem über die zur CPU **(1)** führenden Datenleitungen D0 und D1 die Ursache des letzten aufgetretenen Resets ausgelesen werden kann (siehe [Tab. 4.1](#)). Das Anlaufgrundregister wird nach dem Auslesen automatisch in den Zustand 1, 1 gesetzt..

Anlaufgrund	D1	D0
Power On	0	0
Watchdog	0	1
Reset-Taste	1	0
FW-Reset	1	1

Tab. 4.1 Codierung der Reset-Ursachen

Das EPLD-Bauelement **(12)** enthält neben dem Anlaufgrundregister ein Flipflop, das den Trigger für den Watchdog-Generator im MAX691-Bauelement erzeugt, eine Schaltung zum Testen des Watchdog-Generators und eine Reset-Logik. Ein Impulsgenerator im EPLD-Bauelement **(12)** liefert den Reset-Impuls für die Reset-Logik beim Auftreten eines FW-Resets. Eine Ready-Logik generiert bei Zugriff auf das EEPROM **(5)** ein Signal, das am ARDY-Eingang der CPU angelegt wird. Die CPU **(1)** fügt ein oder zwei Wartezyklen ein. Ein 1:8-Teiler im EPLD-Bauelement **(12)** erzeugt aus dem Ausgangstakt der CPU **(1)** den Takt für den A/D-Umsetzer **(14)**. Ein weiterer Schaltungsteil im EPLD-Bauelement **(12)** liefert die CS-Signale (CS: Chip Select) für jene Funktionsein-

heiten, die nicht direkt durch die CS-Signale der CPU (1) gesteuert werden; diese sind das FEPROM (4), der AD/Umsetzer (14), die beiden PIO-Bauelemente (11) sowie das EPLD-interne Anlaufgrundregister und die Watchdog-Triggerschaltung.

4.2.5.2 Firmware der DÜW

Die Firmware FW des Einschubs 2,048 Mbit/s/2,048 MHz/10 MHz ist im wesentlichen in seiner DÜW integriert und arbeitet mit der Firmware des Einschubs Zentrale Überwachung ZÜW zusammen.

Die Firmware des Einschubs 2,048 Mbit/s/2,048 MHz/10 MHz FW-DÜW umfaßt drei Komponenten (Bild 4.8), die ihrerseits Subsysteme enthalten.

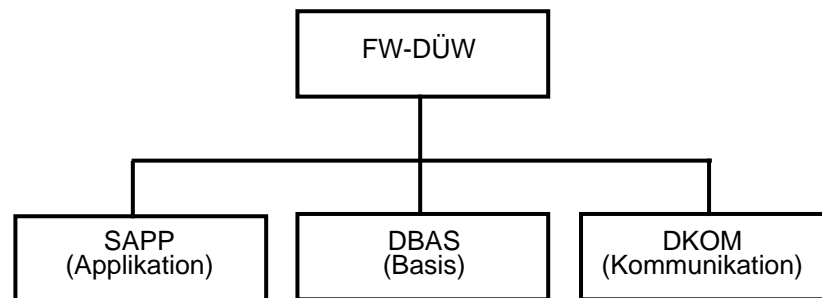


Bild 4.8 Komponenten der Firmware der DÜW

Ein Subsystem hat Teilaufgaben zu erfüllen. Diese Teilaufgaben werden mit einem oder mehreren Tasks realisiert, die ihrerseits wieder in Haupt- und Unterprogramme eingeteilt sind. Für die Entwicklung der Firmware wurde die Sprache "C" (IC86) verwendet. Haupt- und Unterprogramme stellen "C"-Funktionen dar. Unterprogramme können entweder global oder lokal ansprechbar sein. Die Daten werden teilweise global (global: für alle Subsysteme verfügbar) und teilweise lokal zur Verfügung gehalten. Besonders sensible Daten wie Meßwerte und Konfigurationsparameter sind nur über besondere Torfunktionen ansprechbar.

Subsysteme kommunizieren miteinander über RMOS-2-Mailboxen und Event-Flags, um einander Befehle und Aufgaben zuzuweisen. Informationen werden in globalen C-Strukturen abgelegt und sind so allen Subsystemen (Ausnahme: besonders geschützte Daten) zugänglich.

Die **DÜW-Basisfirmware (DBAS)** enthält sämtliche Funktionsteile des Betriebssystems (RMOS2) sowie Erweiterungen und stellt darüberhinaus zusätzliche Dienste zur Verfügung.

Für die Überwachung werden im Betrieb zwei Konfigurationen benötigt; eine im EPROM-Speicher für Download, Wartung und Prüffeldeinsatz und eine weitere im FEPROM, die nach Bedarf neu geladen werden kann.

Die **DÜW-Kommunikationsfirmware (DKOM)** steuert die Kommunikation des 2,048 Mbit/s/2,048 MHz/10 MHz-Einschubs mit dem Einschub ZÜW.

Die **2,048 Mbit/s/2,048 MHz/10 MHz-Applikationsfirmware (SAPP)** behandelt die für den 2,048 Mbit/s/2,048 MHz/10 MHz-Einschub spezifischen Aufgaben.

4.3 Zeitbasiseinschub ZBE1 (2,048 Mbit/s/2,048 MHz)

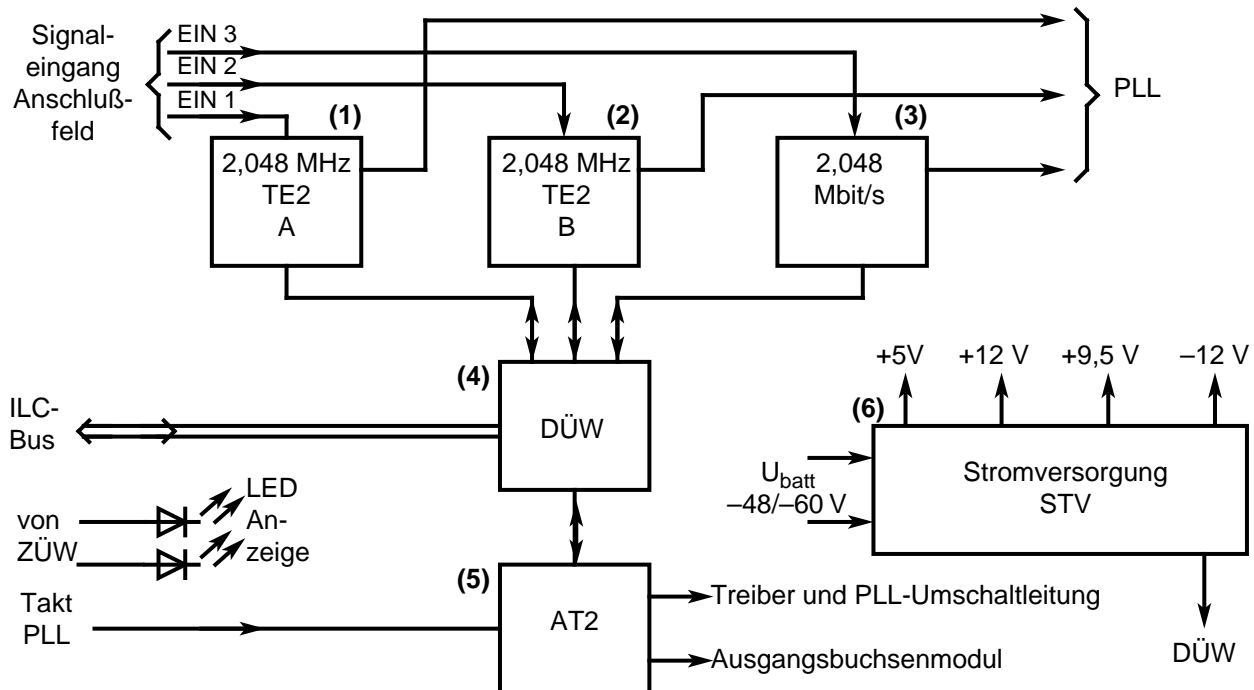


Bild 4.9 Übersichtsschaltplan Takteingang 2,048 Mbit/s/2,048 MHz

Der Zeitbasiseinschub ZBE1 (2,048 Mbit/s/2,048 MHz) hat zwei Eingänge für zwei Takt-signale mit 2,048 MHz und einen Eingang für ein HDB3-Signal mit 2,048 Mbit/s. Dieser Einschub unterscheidet sich vom Zeitbasiseinschub ZBE2 (2,048 Mbit/s/2,048 MHz/10 MHz) nur dadurch, daß er statt des Moduls für ein 10-MHz-Eingangssignal ein zweites Modul (TE2) [Bild 4.9 \(2\)](#) für ein zweites 2,048-MHz-Eingangssignal hat. Damit gilt unter Berücksichtigung dieses Unterschieds für diesen Einschub die Funktionsbeschreibung von Abschnitt [4.2](#) (Zeitbasiseinschub ZBE2 (2,048 Mbit/s/2,048 MHz/10 MHz)).

4.4 Zeitbasiseinschub ZBE3 (2,048 MHz)

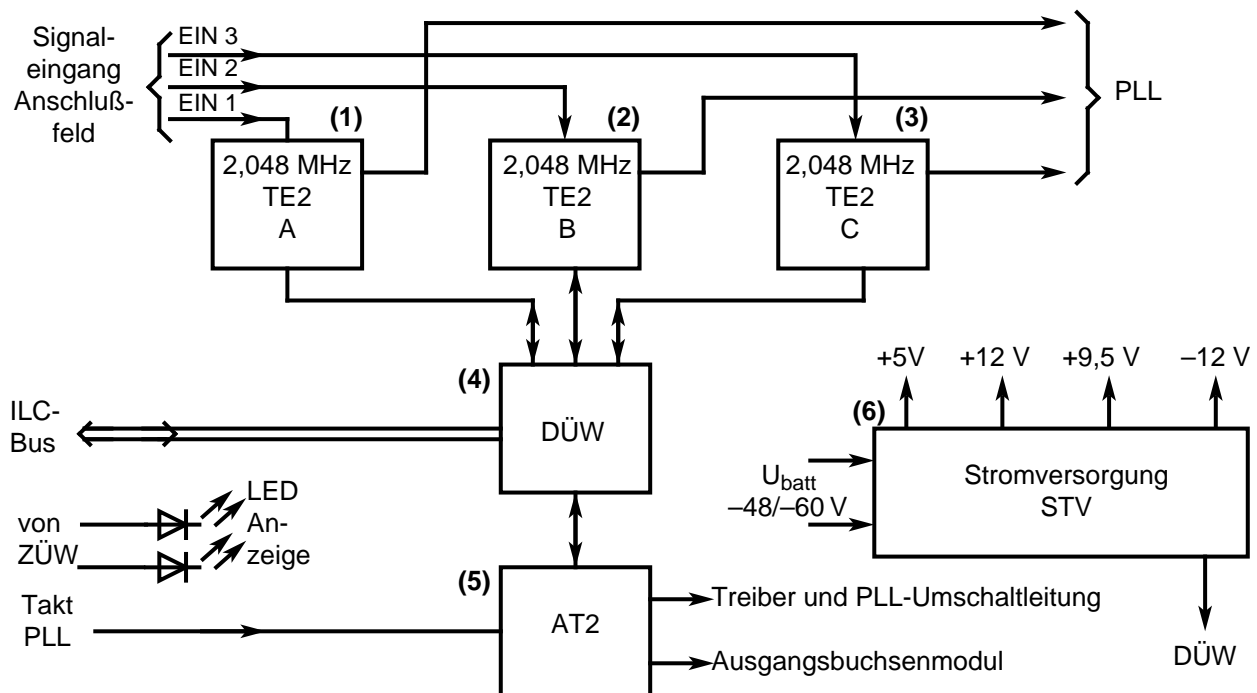


Bild 4.10 Übersichtsschaltplan Takteingang 2,048 Mbit/s/2,048 MHz

Der Zeitbasiseinschub ZBE3 (2,048 MHz) hat drei Eingänge für drei Taktsignale mit 2,048 MHz. Dieser Einschub unterscheidet sich vom Zeitbasiseinschub ZBE1 (2,048 Mbit/s/2,048 MHz) nur dadurch, daß er statt des Moduls für ein 2,048-Mbit/s-Eingangssignal ein drittes Modul TE2 Bild 4.10 (3) für ein drittes 2,048-MHz-Eingangssignal hat. Damit gilt unter Berücksichtigung dieses Unterschieds für diesen Einschub die Funktionsbeschreibung von Abschnitt 4.3.

4.5 Einschub Ausgangstreiber 2AT2

Der Einschub Ausgangstreiber 2AT2 enthält zwei Ausgangstreibermodule AT2 und ein DÜW-Modul. Das Ausgangstreibermodul AT2 und die DÜW sind in Abschnitt 4.2 (Zeitbasiseinschub ZBE2(2,048 Mbit/s/2,048 MHz/10 MHz) beschrieben.

4.6 PLL-Einschub

Der PLL-Einschub regeneriert die ankommenden Taktsignale mittels zweier in Serie geschalteter PLL-Schaltungen.

Sämtliche Digital-Funktionen dieses Einschubs – ausgenommen Funktionen der DÜW – sind in dem kundenspezifischen Bauelement ASIC NFR1 zusammengefaßt.

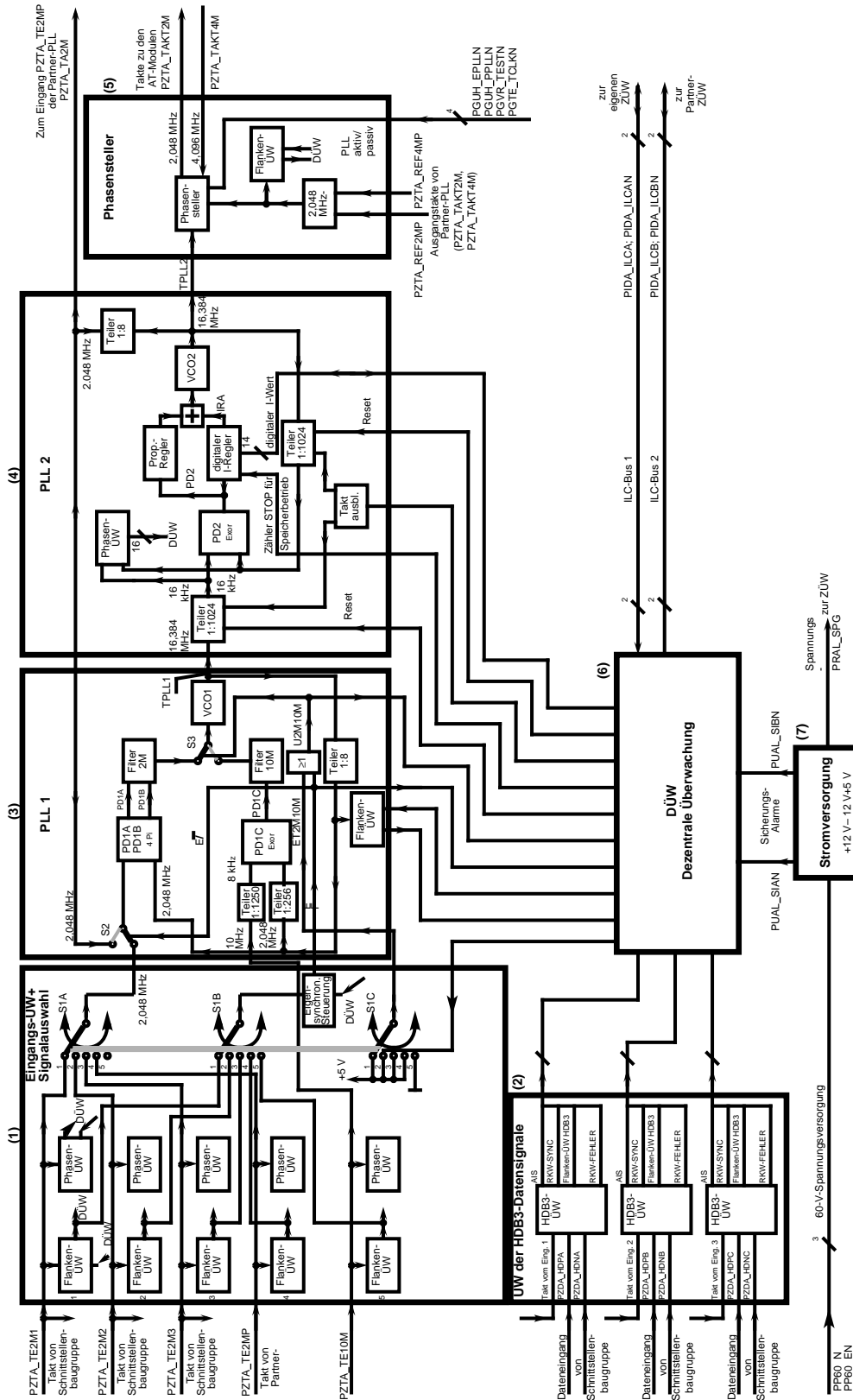


Bild 4.11 Übersichtsschaltplan PLL-Einschub

Der PLL-Einschub läßt sich in folgende Hauptfunktionsblöcke (siehe [Bild 4.11](#)) gliedern:

- Eingangs-Überwachung und Signalauswahl **(1)**
- Überwachung der HDB3-Datensignale **(2)**
- PLL1 **(3)**
- PLL2 **(4)**
- Phasensteller **(5)**
- Dezentrale Überwachung (DÜW) **(6)**
- Stromversorgung **(7)**

4.6.1 Eingangüberwachung und Signalauswahl



Wenn nicht anders angegeben, beziehen sich sämtliche in Klammern gesetzte fettgedruckte Zahlen in diesem Abschnitt auf Teile von [Bild 4.11 Übersichtsschaltplan PLL-Einschub](#)

Eingangüberwachung und Signalauswahl **(1)** erfüllen folgende Aufgaben:

- Überwachung der Eingangstakte auf Signalausfall (Flankenüberwachung)
- Laufende Phasenmessung aller Eingangstakte und des Ausgangstaktes der Partner-PLL bezogen auf den Ausgangstakt der PLL2
- Signalauswahl zur Synchronisation der PLLs
- Eigensynchronsteuerung

Die Eingangstakte werden auf **Signalausfall** überwacht.

Tritt ein Flankenalarm am aktiven Takteingang – das ist der, auf den die PLL synchronisiert hat – auf, so geht der Einschub sofort durch eine hardwaremäßige Reaktion in die Betriebsart Eigensynchronisation über; der dabei auftretende Alarm wird an die Dezentrale Überwachung (DÜW) gemeldet.

Tritt ein Flankenalarm an einem nicht aktiven Takteingang auf, so setzt die DÜW diesen Eingang als nicht verfügbar. Unbenutzte Takteingänge werden schon bei Inbetriebnahme der Normalfrequenzeinrichtung durch die Firmware als nicht verfügbar gesetzt.

Die Funktion der Flankenüberwachung wird während des Betriebes durch die Firmware (FW) mit einem Hintergrundtest überprüft. Während dieser Testzeit ist beim aktiven Eingang die hardwaremäßige Umschaltung auf Eigensynchronisation gesperrt.

Von der DÜW wird sowohl der Flankenalarm als auch die Eigensynchronisations-Schalterstellung S2 **(3)** abgefragt.

Die **Phasenlage** aller Takteingänge gegenüber dem Ausgangstakt wird gemessen. Damit wird erkannt, wenn ein Eingangssignal wegen

- unzulässig starken Phasenabweichungen
- Frequenzfehlern
- Phasensprüngen

zur Synchronisation des NFR2001 nicht geeignet ist.

Außerdem wird ein nicht synchroner Zustand der PLL durch Phasenvergleich mit dem Ausgangssignal der Partner-PLL erkannt und gemeldet.

Die Funktionsfähigkeit der Phasenüberwachung wird im laufenden Betrieb überprüft.

Die **Auswahl der Signale zur Synchronisation der PLLs** wird mit den Schaltern S1A, S1B und S1C vorgenommen (**1**). Angesteuert werden die Schalter durch die Firmware nach einer Prioritätenliste. Von allen als verfügbar gesetzten Eingangssignalen (kein Alarm aufgetreten) wird das mit der höchsten Priorität zur Synchronisation der PLLs verwendet. Fällt dieses aktive Eingangssignal aus, so wird auf ein verfügbares Eingangssignal (nächstniedrigere Prioritätsstufe) umgeschaltet. Das Umschalten funktioniert je nach Art des Ausfalls des aktiven Signals:

- Erkennen eines Alarms des aktiven Signals durch die Firmware (z. B. RKW-Fehler, Phasenabweichung zu groß, Frequenzfehler usw.). In diesem Fall veranlaßt die Firmware der DÜW die Umschaltung auf Eigensynchronisation.
- Ein Alarm der Flankenüberwachung des aktiven Signals am Eingang des PLL-Einschubs bewirkt eine Hardwareumschaltung auf Eigensynchronisation. (Pegelalarm am Regenerator-Eingang des Einschubs Takteingang bewirkt sofortiges, hardwaremäßiges Abschalten des Taktes auf dem Regenerator-Modul und damit ein Ansprechen der Flankenüberwachung auf dem PLL-Einschub.)

In der **Betriebsart Eigensynchronisation** wird der Eingang der PLL1 (**3**) vom aktiven Signal auf das Ausgangssignal der PLL2 umgeschaltet. Dies ist ein Überbrückungszustand, der nur solange andauert, bis eine vorab definierte Zeitspanne (Kontrollzeitfenster) abgelaufen ist. Anschließend wird durch die Firmware das Eingangssignal mit der nächstniedrigeren Prioritätsstufe ausgewählt (Wahlschalter S1A bis S1C).

Eine Umschaltung für Servicezwecke auf einen anderen Eingang wird ebenfalls über den Zwischenschritt Eigensynchronisation vorgenommen.

Ein Flankenalarm des aktiven Eingangssignals wird über den Schalter S1B zum Schaltungsteil Eigensynchronisationssteuerung (**1**) geführt. Diese Schaltung sorgt bei Flankenausfall des aktiven Takteinganges hardwaremäßig für eine Umschaltung auf die Betriebsart Eigensynchronisation durch Betätigen der Schalter S2 und S3 in der Funktionseinheit PLL1 (**3**). In diesem Fall wird für den Phasenvergleich in der PLL1 nicht mehr der aktive Takteingang für den Phasenvergleich herangezogen, sondern das durch 8 geteilte Ausgangssignal der PLL2 (**4**). Dieser Betriebszustand wird der DÜW gemeldet. Daraufhin setzt die Firmware die Vorteiler der PLL2 auf den Mittelwert des linearen Phasendetektor-Bereiches zurück.

Der Übergang auf Eigensynchronisation kann auch durch die Firmware veranlaßt werden. Eine Rückschaltung auf Fremdsynchronisation wird nur mit der Firmware vorgenommen.

4.6.2 Überwachung der HDB3-Datensignale

Im Schaltungsteil Überwachung der HDB3-Datensignale (**2**) können bis zu drei Datensignale auf folgende Zustände überwacht werden:

- AIS
- Rahmenkennwortfehler
- RKW-Synchronisation
- Flankenüberwachung der Dateneingänge HDB3+ und HDB3-

Für diese Überwachung werden außer den drei Taktsignalen, die auf dem Takteingangseinschub aus den Datensignalen gewonnen werden, auch die zugehörigen positiven und negativen Datensignale PZDA HDP (A, B, C) und PZDA HDN (A, B, C), auf den PLL-Einschub geführt. Sie werden dort am Eingang einer Flankenüberwachung unterzogen.

Wird der DÜW (7) einer dieser Alarme gemeldet, so wird der zugehörige Takteingang über die Firmware als nicht verfügbar gesetzt.

Ist der zugehörige Takteingang momentan aktiv, so wird mit der Firmware auf Eignensynchronisation und anschließend auf ein verfügbares Signal (nächstniedrigere Prioritätsstufe) geschaltet.

Die Funktionsfähigkeit all dieser Überwachungen wird ebenfalls im laufenden Betrieb geprüft.

4.6.3 Schaltung PLL1

Die PLL-Schaltung PLL1 (Grenzfrequenz 25 Hz) (3) wird von dem ausgewählten Referenztakt synchronisiert; diese PLL-Schaltung verhindert Aliasing-Effekte und eliminiert den über 25 Hz liegenden Jitter aus dem Taktsignal.

Die PLL1-Schaltung kann sich auf ein Taktsignal mit 2,048 MHz oder 10 MHz synchronisieren. Sie gibt einen Takt von 16,384 MHz ab. Der **2,048-MHz-Eingangstakt** liegt über den Schalter S2 an einem Eingang des Phasendetektors PD1 (A, B), der mit zwei EXOR-Elementen aufgebaut ist. Der Eindeutigkeitsbereich von 4π wird durch eine vorherige Frequenzteilung im Phasendetektor (auf 512 kHz) erreicht.

Auf den zweiten Eingang des Phasendetektors wird das Ausgangssignal der PLL1 zurückgeführt. Da das Ausgangssignal der PLL1 eine Frequenz von 16,384 MHz hat, wird es zuvor durch einen 1:8-Teiler wieder auf die Frequenz 2,048 MHz gebracht; im PD1 (A, B) wird dann ebenfalls durch Teilung die Vergleichsfrequenz 512 kHz erzeugt. An den beiden Ausgängen des PD1 sind die Ausgangssignale um 90° gegeneinander phasenverschoben. Im Schleifenfilter 2M werden sie analog addiert. Damit wird jede Flanke des Eingangstaktes für die Phasenmessung ausgewertet.

Das Schleifenfilter 2M ist aktiv mit Proportional- und Integralteil ausgeführt; es formt das Steuersignal, das über den Schalter S3 an den gesteuerten Oszillator VCO1 (3) gelangt. Der VCO1 erzeugt die Ausgangsfrequenz von 16,384 MHz.

Der **10-MHz-Eingangstakt** ist nicht über den Signalumschalter S1 geführt, sondern direkt mit der PLL1 (1), (3) verbunden. Die größte gemeinsame Teilfrequenz von 10 MHz und 2,048 MHz ist 16 kHz. Das ergibt für den 10-MHz-Takt einen Teilungsfaktor von 625. Eine weitere Teilung durch 2 erzeugt das für das EXOR-Element notwendige Tastverhältnis 1:1; somit ergibt sich eine gesamte Vorteilung von 1:1250.

Der Phasenvergleich für den 10-MHz-Takt findet damit bei 8 kHz statt. Das Vergleichssignal 16,384 MHz vom Ausgang des VCO1 wird zuerst mit dem Teiler 1:8 auf 2,048 MHz und anschließend durch den Teiler 1:256 auf die Vergleichsfrequenz 8 kHz für den Phasendetektor PD1C umgesetzt. Wegen des unterschiedlichen Teilungsverhältnisses (Faktor 64) gegenüber dem 2,048-MHz-Eingangssignal ist ein anderes Filter erforderlich. Zum Ausgleich wird die Zeitkonstante τ_1 (Filterzeitkonstante für das 2,048-MHz-Eingangssignal) bei 10 MHz um den Faktor 64 verringert. Das Schleifenfilter 10M ist ebenfalls aktiv mit Proportional- und Integralteil ausgeführt.

Zur Synchronisation der PLL1 auf den 10-MHz-Eingangstakt aktiviert das Umschaltsignal U2M10M mit dem Schalter S3 das Filter 10M und den Phasendetektor PD1C. Das Umschaltsignal U2M10M wird über den Wahlschalter S1C mit dem Signal ET2M10M über das ODER-Element erzeugt.

Wird auf die Betriebsart **Eigensynchronisation** umgeschaltet, so legt der Schalter S2 den Ausgangstakt der PLL2, nachdem er von 16,384 MHz auf 2,048 MHz geteilt wurde, an den Eingang des PD1. Außerdem verbindet in diesem Fall der Schalter S3 das Filter 2M mit dem VCO.

Das Ausgangssignal der PLL1 wird nach dem Teiler 1:8 überwacht (Flankenüberwachung). Ein Alarm wird gemeldet, wenn innerhalb von zwei Taktperioden nicht mindestens eine Flanke auftritt. Die Funktionsfähigkeit der Flankenüberwachung wird im laufenden Betrieb überprüft. Dazu wird der Takt zur Überwachung kurz unterbrochen, wodurch ein Alarm ausgelöst wird.

4.6.4 Schaltung PLL2

Mit der **PLL2-Schaltung** wird der niederfrequente Wander aus dem empfangenen Takt entfernt. Während die höherfrequenten Jitteranteile von der PLL1 entfernt werden, werden die tieferen Frequenzen von der PLL1 unbeeinflusst an die PLL2 weitergegeben.

Die Ausgangsfrequenz der PLL2 beträgt 16,384 MHz. Die Grenzfrequenz der Übertragungsfunktion der PLL2 beträgt 10^{-3} Hz.

Der minimal erforderliche Eindeutigkeitsbereich des Phasendetektors der PLL2 liegt bei 64 UI (UI: Unit Interval = Periodendauer; hier bezogen auf eine 2,048-MHz-Schwingung d. h. $1\text{ UI} = 488\text{ ns}$). Da als Phasendetektor ein EXOR-Element mit einem Eindeutigkeitsbereich von π verwendet wird, wird der Phasenvergleich bei 16 kHz vorgenommen. Damit sind ein Vorteiler und ein Rückführungsteiler mit einem Teilungsverhältnis von 1:1024 erforderlich. Durch Ausblenden von einzelnen Taktperioden am Vorteiler oder Rückführungsteiler ist eine positive oder negative Phasenkorrektur in Stufen von $1/8$ UI möglich.

Die Teiler sind auf den Mittelwert des linearen Bereichs des EXOR-Phasendetektors rücksetzbar. Damit kann bei Betriebsbeginn und nach Umschalten in die Betriebsart Eigensynchronisation eine definierte Phasenbeziehung eingestellt werden.

Das Schleifenfilter ist als PI-Regler ausgeführt. Der Proportionalteil wird mit Hilfe eines Operationsverstärkers gebildet. Der Integralteil ist wegen seiner großen Zeitkonstante (etwa 37 Stunden) mit einem digitalen Vor-/Rückwärtszähler mit einer Breite von 41 bit realisiert. Das Ausgangssignal des Phasendetektors bestimmt den Zählmodus (vorwärts oder rückwärts). Als Zähltakt wird der Ausgangstakt des VCO2 verwendet. Die 14 höchstwertigen Bits des Zählers bilden über einen D/A-Umsetzer den Integrationswert. Die 14 höchstwertigen Bits des Integralzählers werden in ein pulsdauermoduliertes Signal (IRA) mit einer Grundfrequenz von 1 kHz umgesetzt; dabei ist das Tastverhältnis dem Zählerstand proportional. Die Anzahl der benötigten Bits ergibt sich aus dem Quantisierungsfehler, der 10% des Fehlers, der bei Übergang in den Speicherbetrieb entstehen kann, nicht übersteigt. Proportionalteil und Integralteil des Schleifenfilters werden analog addiert; der Summenwert ist die Steuerspannung für den VCO2.

Da ein Präzisionsquarzoszillator mit der erforderlichen Frequenzstabilität bei Alterung, Änderung der Umgebungstemperatur und der Versorgungsspannung bei einer Frequenz von 16,384 MHz nicht verfügbar ist, ist ein temperaturstabilisierter Präzisionsquarzoszillator mit einer Frequenz von 8,192,048 MHz eingesetzt; diese Frequenz wird anschließend verdoppelt.

Da die PLL1 eine Eingangsfrequenz von 2,048 MHz verlangt, setzt der Teiler 1:8 das 16,384-MHz-Signal bei Eigensynchronisation auf 2,048 MHz um.

Mit dem UND-Element wird der Signaleingang des Phasendetektors gesperrt, wenn die PLL-Schaltung in die Betriebsart Speicherbetrieb übergeht.

Beim **synchronisierten Betrieb**, der dem Normalbetrieb entspricht, überwacht die Firmware laufend die Gleichheit der Phase des aktiven Eingangssignals mit der Phase des PLL2-Ausgangssignals. Die Phasenüberwachung funktioniert wie die Phasenüberwachungen am Eingang des Einschubs.

Da der digitale Integrator eine große Zeitkonstante aufweist, ist eine lange Einlaufzeit nötig. Zur Verkürzung der Einlaufzeit der PLL2 und zur schnelleren Beeinflussung des Integrationswertes auch in anderen Fällen, sind die 16 höchstwertigen Bits über einen Datenbus ladbar. Dafür und für das Auslesen des Integrationswertes sind 2 byte erforderlich.

Der Wert des digitalen Integrators wird laufend von der Firmware abgefragt. Überschreitet dieser Wert einen von der Firmware definierten Bereich, so wird Speicherendwertalarm gegeben. Dies kann bei unzulässig starker Alterung des VCO2 (**7**) auftreten. Der Alarm wird nur gemeldet, löst aber von sich aus noch keine weitere Reaktion aus.

Bei Ausfall des aktiven Eingangssignals geht der PLL-Einschub in den Zustand **Eigen-synchronisation** über. Dabei werden nach Einschwingen der PLL1 der Vorteiler und der Rückführungsteiler der PLL2 durch die Firmware auf den Mittelwert des linearen Bereiches des Phasendetektors zurückgesetzt. Damit wird eine definierte Phasenbeziehung erreicht.

Der PLL-Einschub geht in den **Speicherbetrieb** über, wenn kein Eingangssignal mehr verfügbar ist. In diesem Fall wird der Integralanteil durch Anhalten des Zählers "eingefroren" und der Proportionalanteil wird abgeschaltet. Damit entspricht die Ausgangsfrequenz dem Mittelwert der letzten Tage (Integrationszeitkonstante etwa 37 Stunden). Der Fehler, der durch Abschalten des Proportionalanteils entsteht, ist $\leq \pm 5 \cdot 10^{-10}$ bezogen auf den Mittelwert der Eingangsfrequenz vor dem Ausfall; dazu addiert sich ein relativer Fehler von $2 \cdot 10^{-10}$ pro Tag durch Alterung des VCO2. Der Zustand Speicherbetrieb und der Integrationswert werden der DÜW gemeldet.

4.6.5 Phasensteller

Sind zwei PLL-Einschübe bei einer gedoppelten Systembestückung eingesetzt, so arbeitet einer im aktiven und der andere im passiven Zustand. Fällt der aktive PLL-Einschub z.B. wegen eines Defektes aus, so wird der passive PLL-Einschub zum aktiven PLL-Einschub. Ein dabei auftretender Phasensprung darf nicht größer als $1/8 UI$ sein. Hinter der PLL2 ist deshalb die Funktionseinheit Phasensteller (**5**) mit einem Stellbereich von $1UI$ und mit einer Schrittweite von $1/8 UI$ angeordnet.

Der PLL-Einschub erzeugt im Phasensteller **(5)** aus dem Takt TPLL2 das 2,048-MHz-Ausgangssignal PZTA_TAKT2M und das 4,096-MHz-Ausgangssignal PZTA_TAKT4M. Das 4,096-MHz-Signal wird in der Ausgangstreiberschaltung benötigt, damit wird ein 2,048-MHz-Takt mit exaktem Tastverhältnis 1:1 erzeugt. Die Phasenbeziehung der beiden Ausgangssignale ist in [Bild 4.12](#) dargestellt.

Im passiven PLL-Einschub werden laufend das 2,048-MHz-Ausgangssignal PZTA_TAKT2M und das 4,096-MHz-Ausgangssignal PZTA_TAKT4M den Signalen des aktiven PLL-Einschubs bis auf eine maximale Phasenabweichung von $1/8 UI$ nachgeführt. Dazu werden vom aktiven PLL-Einschub das 4,096-MHz-Signal und das 2,048-MHz-Signal an den 2,048-MHz-Regenerator **(2)** des passiven PLL-Einschubs geliefert. Dort wird daraus ein 2,048-MHz-Signal mit dem exakten Tastverhältnis 1:1 regeneriert.

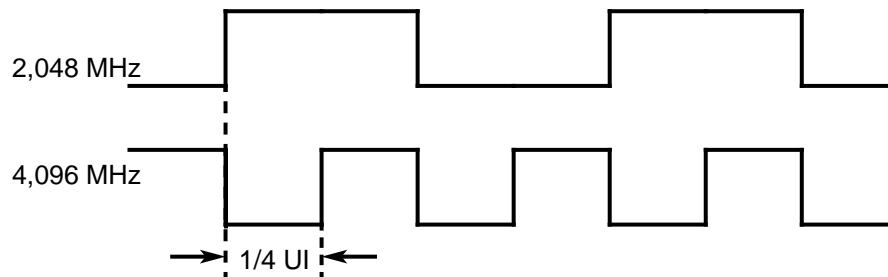


Bild 4.12 Phasenbeziehung der Ausgangssignale der PLL-Einschübe

Das regenerierte 2,048-MHz-Signal wird auf Ausfall überwacht. Dies geschieht mit einer Flankenüberwachung.

Der PLL-Einschub, von dem die Ausgangstreiber ihr Eingangssignal beziehen, ist der aktive Einschub. Eine Umschaltung der PLL-Einschübe vom aktiven Zustand in den passiven Zustand wird auf den Ausgangstreibern hardwaremäßig veranlaßt. Der PLL-Einschub kann sich auch selbst in den passiven Zustand schalten, wenn ein Betriebsspannungsalarm auftritt.

Für die Steuerung der Aktiv/Passiv-Umschaltung der PLL-Einschübe gibt es vier Eingangsleitungen. Die Leitungen PGUH_PPLLN, PGUH_EPLLN führen die eigentliche Umschaltung durch. Mit den Leitungen PGVR_TESTN und PGTE_TCLKN wird durch die ZÜW im Betrieb der Umschaltmechanismus überprüft, ohne daß eine tatsächliche Umschaltung vorgenommen wird.

4.6.6 Dezentrale Überwachung DÜW und Firmware

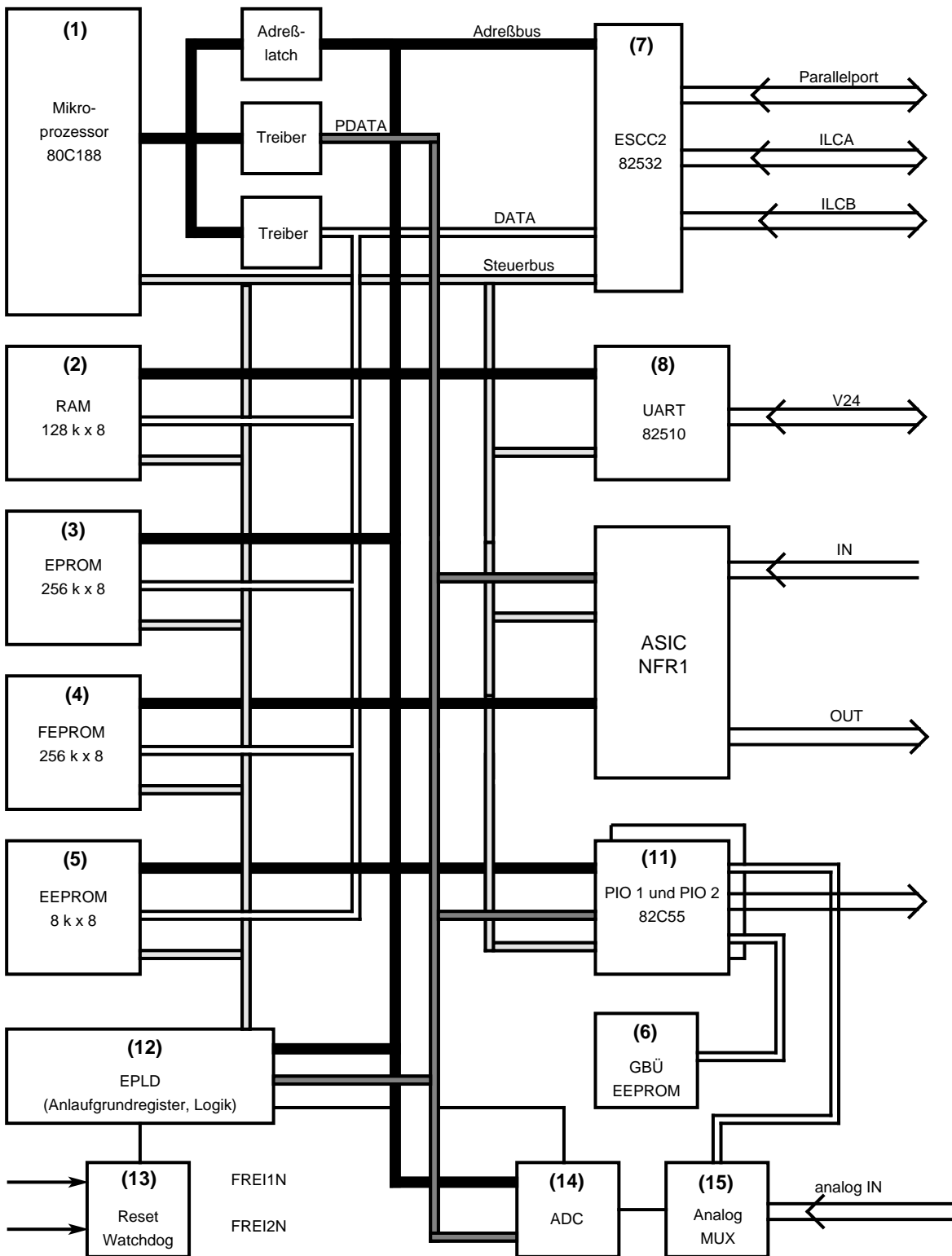


Bild 4.13 Übersichtsschaltbild der DÜW

4.6.6.1 Hardware der DÜW

Die DÜW des PLL-Einschubs ([Bild 4.13](#)) ist im Prinzip wie die DÜW des Zeitbauseinschubs ZBE2 (2,048 Mbit/s/2,048 MHz/10 MHz) ([Bild 4.6](#)) aufgebaut (siehe Abschnitt [4.2.5.1](#)).

Der Anschluß des ASIC-Bauelementes NFR1 an die Prozessor-Hardware der DÜW ist so wie bei einem herkömmlichen I/O-Device. Der Adreßbereich des ASIC-Bauelementes beträgt 128 byte. Der Datentransfer wird über den Datenbus (DATA 0 bis 7) abgewickelt. Ein zusätzliches Steuersignal steuert den Schreibzugriff auf verschiedene ASIC-Register.

Der übrige Aufbau der Hardware kann im Abschnitt [4.2.5.1](#) nachgelesen werden.

4.6.6.2 Firmware der DÜW

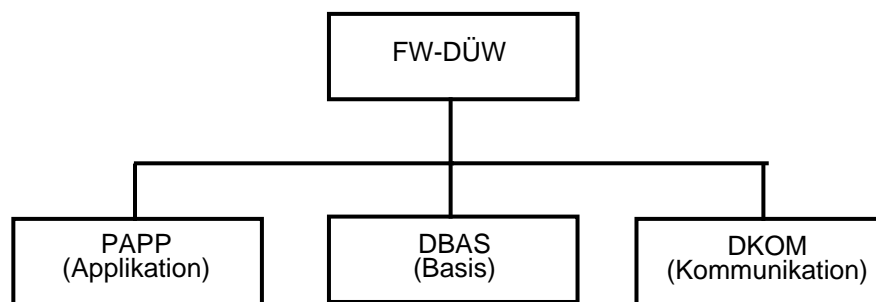


Bild 4.14 Komponenten der Firmware der DÜW

Die Firmware FW des PLL-Einschubs ist im wesentlichen in der DÜW integriert und arbeitet mit der Firmware des Einschubs Zentrale Überwachung ZÜW zusammen.

Sie umfaßt drei Komponenten ([Bild 4.14](#)), die ihrerseits Subsysteme enthalten. Die beiden Komponenten **DÜW-Basisfirmware (DBAS)** und **DKOM-Kommunikationsfirmware (DKOM)** übernehmen die gleichen Aufgaben wie in Abschnitt [4.2.5.2](#) aufgeführt. Die **PLL-Applikationsfirmware (PAPP)** behandelt die für den PLL-Einschub spezifischen Aufgaben.

4.6.7 Stromversorgung

Die Stromversorgung setzt die von der Betriebsstelle zur Verfügung gestellte Batteriespannung von -48 V oder -60 V auf die benötigten Spannungen $+5\text{ V}$, $+12\text{ V}$ und -12 V um.

Die Schaltung ist mit zwei Sperrumrichtern aufgebaut. Die Schaltfrequenz beträgt 75 kHz . Die beiden Sperrumrichter arbeiten mit einer gegenseitigen Phasenverschiebung von 180° ; damit werden Rückwirkungen auf die Batteriespannung gering gehalten.

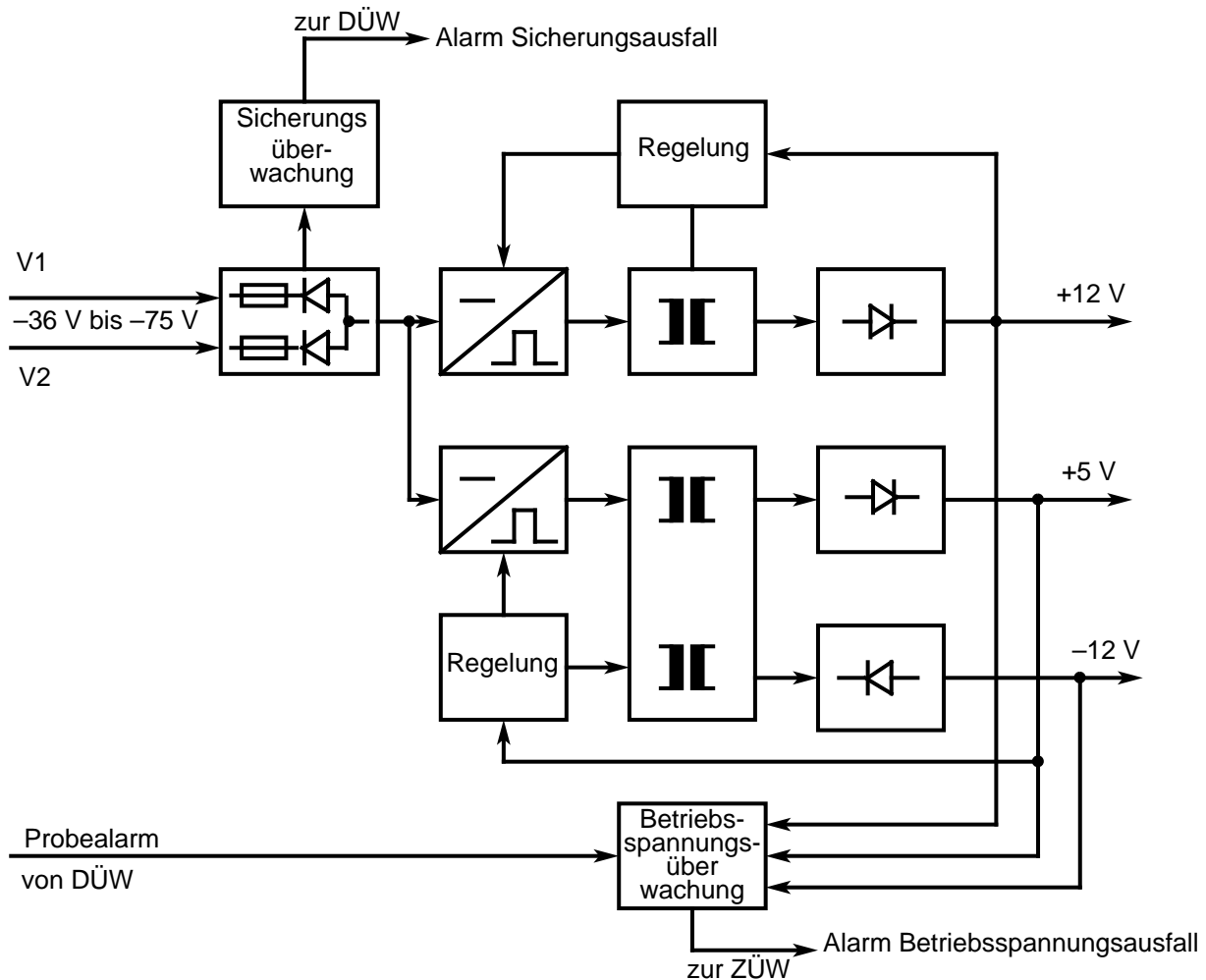


Bild 4.15 Stromversorgung

Ein Umrichter erzeugt die +12-V-Spannung, der andere die Spannungen +5 V und –12 V. Der Temperaturgang der +12-V-Spannung ist nach Beendigung der Aufheizphase bei einer Belastung von ≤ 350 mA im Bereich 0°C bis 70°C $\leq 1\%$.

Die Batteriespannungen werden über zwei Sicherungen zugeführt. Eine Überwachungsschaltung signalisiert, wenn eine der Sicherungen anspricht.

Unterschreitet eine der erzeugten Betriebsspannungen den Sollwert um mehr als 20% (bei –12 V: 30%), wird eine Unterspannungs-Alarmmeldung abgegeben. Bei Überspannung an den Spannungsausgängen schaltet der Sperrumrichter ab; damit kommt es zu einer Unterspannungsalarmierung.

4.7 Ausgangsbuchsenmodul

Das Ausgangsbuchsenmodul verteilt die von einem Übertrager eines Ausgangstreibermoduls kommenden Normaltaktsignale (regenerierte Referenztaktsignale) auf sechs Taktausgänge. Jedes Ausgangstreibermodul hat zwei Übertrager und jedes Ausgangsbuchsenmodul hat zweimal sechs Taktausgänge. Die Taktausgänge sind durch Widerstände entkoppelt.

Die Ausgangsbuchsen können für Leitungen mit 75Ω (unsymmetrisch) oder 120Ω (symmetrisch) konfiguriert werden; dabei ist zu beachten, daß für eine Sechsergruppe von Ausgangsbuchsen immer nur einer der beiden Impedanzwerte möglich ist. Der gewünschte Impedanzwert wird mit einem mechanischen Schalter eingestellt. Eine Meldeleitung zum Ausgangstreibermodul signalisiert diesem, welcher Impedanzwert eingestellt ist. Das Ausgangstreibermodul legt daraufhin die jeweils erforderliche Spannung an den Ausgangsübertrager.

Die Spannungen an den Ausgängen des Ausgangsbuchsenmoduls sind bei Einstellung des Schalters Imp auf

120Ω : $U_{(\text{Null-Spitze})} = 1,0 \text{ V} \leq 1,9 \text{ V}$ (Schalterstellung: 2)

75Ω : $U_{(\text{Null-Spitze})} = 0,75 \text{ V} \leq 1,5 \text{ V}$ (Schalterstellung: 1)

Zu beachten ist, daß der garantierte Pegelbereich nur gewährleistet ist, wenn mindestens drei Ausgänge einer Sechsergruppe abgeschlossen sind.

Die Ausgangsbuchsenmodule ABM1 bis ABM3 für insgesamt 36 Taktausgänge sind im Einsatz NFR2001 integriert. Die Ausgangsbuchsenmodule 4 und 5 zum Ausbau auf insgesamt 60 Taktausgänge werden extern ergänzt.

5 Technische Daten

5.1 Eingangsschnittstellen

5.1.1 Normaltakteingang 2,048 MHz (ITU-T G.703/10)

Quellwiderstand	120 Ω erdfrei, symm. oder 75 Ω unsymm.
Eingangswiderstand	120 Ω oder 75 Ω , (durch Schalter ein- stellbar)
Reflexionsdämpfung	> 15 dB
Leitungs­dämpfung bei 2,048 MHz	0 dB bis 9 dB
Grundpegel	Impulsmaske nach ITU-T G.703, Fig. 21
Überpegel	max. 3 dB über Höchstpegel nach G.703

5.1.2 Dateneingang 2,048 Mbit/s (ITU-T G.703/6)

Vordämpfung gegenüber dem Pegel einer symmetrischen Leitung	0 dB oder 26 dB
Quellwiderstand	75 Ω unsymm.
Eingangswiderstand	75 Ω
Reflexionsdämpfung im Bereich	
51 kHz bis 102 kHz	> 12 dB
102 kHz bis 2,048 MHz	> 18 dB
2,048 MHz bis 3072 kHz	> 14 dB
Impulsmaske	nach ITU-T G.703, Fig. 15
Leitungs­dämpfung bei 1024 kHz	0 dB bis 12 dB

5.1.3 Normalfrequenzeingang 10 MHz (ITU-T G.811; bei Funkverbindungen G.812)

Signalart	Sinus
Absoluter Spannungswert U_{eff} der Signalquelle	+1,73 V
Quellwiderstand	75 Ω unsymm.
Eingangswiderstand	75 Ω
Reflexionsdämpfung	> 15 dB
Leitungs­dämpfung bei 10 MHz	0 dB bis 15 dB
Überpegel	max. 3 dB

5.2 Ausgangsschnittstellen (ITU-T G.703/10)

Anzahl der Taktsignale je Normalfrequenzeinrichtung	max. 60
Ausgangswiderstand	120 Ω symm. oder 75 Ω unsymm.
Ausgangssignal	nach G.703, Fig. 21
Gruppierung	zu je 12 erweiterbar; Impedanz in Sechser- gruppen einstellbar
Scheinwiderstand in jeder Gruppe	75 Ω unsymm. oder 120 Ω symm.
Frequenz	2,048 MHz
Toleranz im Speichermodus	< ($2 \cdot 10^{-10} + 1 \cdot 10^{-9}$ / Tag) besser als ITU-T G.812

5.3 Grundgenerator

Alterungsrate	< $2 \cdot 10^{-10}$ / Tag
Alterung nach einem Jahr Betrieb	< $1 \cdot 10^{-8}$
Alterung nach 15 Jahren Betrieb	< $1,5 \cdot 10^{-7}$
Temperaturabhängigkeit der Frequenz zwischen 0 °C und 70 °C	< $2 \cdot 10^{-10}$ / 10 °C
Abhängigkeit der Frequenz von der Versorgungsspannung	< $5 \cdot 10^{-11}$ bei 0,5 % Spannungsänderung

5.4 Steuerungsschnittstelle (LC-Bus 1 und LC-Bus 2)

OSI-Schicht

Busstruktur	Punkt-zu-Mehrpunkt- Konfiguration, Master- Slave-Prinzip
Master	Steuerrechner (z.B. NCU)
Slave	NFR2001 (1 Adresse je ZÜW)
Bussystem	gedoppelt, logisch halbduplex, 4-Draht EIA RS485
Übertragungsgeschwindigkeit	64 kbit/s 0,05 %

Schicht 2:

Datenübertragungsprotokoll	HDLC
Protokollklasse	UNC

Schicht 3:

Vermittlungsprotokoll	VMP01 (SISA-Spezifikation)
---------------------------------	----------------------------

Schicht 7:

Anwenderprotokoll	AWP01 (SISA-Spezifikation)
Telegrammtypen	Befehl, Quittung, Abfrage, Antwort, Spontanmeldung

5.5 V.24-Terminalschnittstelle

Schicht 1

Pegel	gemäß ITU-T V.28
Betriebsart	asynchron, voll duplex
Datenrate (umschaltbar)	1,2 kbit/s, 2,4 kbit/s, 4,8 kbit/s, 9,6 kbit/s, 19,2 kbit/s
Leitungscode	NRZ
Signale	gemäß ITU-T V.24
Leitungsabschluß	keiner
Teilnehmerzahl	2 (Punkt-zu-Punkt)
Leitung	verdrillte Zweidrahtleitung, paarweise und gesamt geschirmt
Leitungslänge	max. 15 m
Steckverbinder	9pol. Subminiaturstecker, gefiltert, SBM383

Schicht 2:

Übertragungsverfahren	asynchron, byteweise nach UART-Protokoll ITU-T-Alphabet Nr. 5
Startbit	1
Datenbits	8
Paritätsbit	gerade
Stoppbits	1

Schicht 7:

Telegrammtypen	Befehl, Quittung, Abfrage, Antwort, Spontanmeldung
--------------------------	--

5.6 Bw7R-Alarmschnittstelle**5.6.1 Alarmkontaktausgänge**

Anliegende Gleichspannung bei störungsfreiem Betrieb	≤30 V, Pluspol geerdet
Maximaler Dauerstrom im Fehlerfall	12 mA
Maximale Restspannung im Fehlerfall	-2 V
Zustandskontakte	AZ (Ruhekontakt) BZ1, BZ2 (Arbeitskontakte)

5.6.2 Alarmimpulsausgänge

Anliegende Spannung bei störungsfreiem Betrieb	-12 V
Maximale Restspannung im Fehlerfall	-2 V
Impulskontakte	A, B

5.6.3 Kontakte zur Zentralen Anzeige

Anliegende Spannung bei störungsfreiem Betrieb	-8 V bis -30 V
Maximaler Dauerstrom im Fehlerfall	60 mA
Maximale Restspannung im Fehlerfall	-2 V
Zentrale Anzeigekontakte	ZA(A) (Ruhekontakt) ZA(B1), (ZA(B2), ZA(B3) (Arbeitskontakte)

5.7 PLL Crystal-Controlled Oscillator TNC

Frequency	8.192 MHz
Alterungsrate	$< 2 \cdot 10^{-10}/\text{Tag}$
Holdover mode	$< (5 \cdot 10^{-10} + 2 \cdot 10^{-9} / \text{Tag})$ besser als ITU-T G.812 transit
PLL cutoff frequency	$\leq 1 \cdot 10^{-3}$ Hz

5.8 PLL Crystal-Controlled Oscillator LNC

Frequency	16,384 MHz
Alterungsrate	$<5 \cdot 10^{-9}/\text{Tag}$
Holdover mode	$< (1 \cdot 10^{-8} + 5 \cdot 10^{-9} / \text{Tag})$ besser als ITU-T G.812 local node
PLL cutoff frequency	$\leq 20 \cdot 10^{-3}$ Hz

5.9 Stromversorgung

Eingangsspannung -36 V bis -75V

Stromaufnahme je Systemeinheit für Einschaltdauer ≤ 30 Min.
(gedoppelte Vollbestückung):

$\leq 2,2$ A	bei -36 V
$\leq 1,7$ A	bei -48 V
$\leq 1,3$ A	bei -60 V
$\leq 1,1$ A	bei -75 V
Leistungsaufnahme je Systemeinheit nach 30 Min. Betrieb. .	typ. 56W, max. 80 W

6 Produktübersicht

Bezeichnung	Produktnummer	Steckplatz	Maße in mm
Normalfrequenzeinrichtung NFR2001			
Baugruppenträger	S42023-D4252-A1	–	450x450x263
Zentrale Überwachung ZÜW	S42024-D4280-D101	201, 206	
Einschub PLL	S42024-D4281-D101	202, 207	
Zeitbasiseinschub ZBE			
2,048 MHz / 2,048 MHz / 2,048 Mbit/s oder	S42024-D4282-D101	203, 208	
10 MHz / 2,048 MHz / 2,048 Mbit/s oder	S42024-D4282-D201	203, 208	
2,048 MHz / 2,048 MHz / 2,048 MHz	S42024-D4282-D301	203, 208	
sowie 12 Ausgänge 12 x 2,048 MHz			
Ausgangsbaugruppe 2AT2	S42024-D4286-D101		
36 2,048-MHz-Ausgänge der NFR2001		204, 209	
60 2,048-MHz-Ausgänge der NFR2001		204, 205, 209, 210	
Filter-Baugruppe für StrV	S42024-D4305-A1	211	
Optionen zum System NFR2001			
Ausgangsbuchsenmodul ABM	S42024-D4287-A2	AF	
Signaleinheit / Alarm Panel	S42024-D4306-A1	AF	
Eingangsschnittstelle (2Mbit/s / 2 MHz)	S42024-D4310-A1	AF	
2-Mbit/s-Auskopplung sym./unsym. (– 26 dB)	S42025-P112-A1		
Ausgangsschnittstellen AI		AF	
5 MHz / 10 MHz / 2,048 MHz	S42024-D4311-A1		
16,384 MHz / 2,048 MHz	S42024-D4311-A2		
Q-Schnittstelle		AF	
QD2	S42024-D4308-A101		
Qx / Q3	S42024-D4312-A101		
GPS-Empfänger	S42024-D4313-A1	AF / GS	
Cäsiumnormal	S42024-D4314-A1	GS	
Taktverteiler		AF	
aktiv	S42024-D4309-A1		
passiv	S42024-P129-A2		
Software für Bedien-PC (Windows)			
für NFR2001	P42023-P035-A1		
für GPS-Empfänger	P42024-P188-A1		
für Caesiumnormal			
Synchrones Managementsystem TMN	P42024-P190-A1		

7 Abkürzungen

2AT2	Output Driver Module 2AT2	Einschub Ausgangstreiber 2AT2
A/D	Analog/Digital	Analog/Digital-Umsetzer
ABM	Output Socket Module	Ausgangsbuchsenmodul
ABR	Request	Abruf
AIS	Alarm Indication Signal	Alarmsignal
ANSI	American National Standards Institute	
ANT	Response	Antwort
ASIC	Application Specific Integrated Circuit	Anwendungsspezifisches Integriertes Bauelement
AT	Output Clocks	Ausgangstakte
AWP	User Protocol	Anwenderprotokoll
BEF	Command	Befehl
CPU	Central Processing Unit	Steuerrechner
DÜW	Decentralized Monitoring	Dezentrale Überwachung
EEPROM	Electrical Erasable Programmable Read Only Memory	
EIA	Electronic Industries Association	
EMV	Electromagnetic Compatibility	Elektromagnetische Verträglichkeit
FEPRM	Flash Erasable Programmable Read Only Memory	
FW	Firmware	Firmware
GBÜ	Device Configuration Data	Geräte Bestandsübersicht
GND	Ground	Masse
HDB3	Third Order High Density Bipolar Code	
HDLC	High-Level Data Link Control	
HF	High Frequency	Hochfrequenz
I/O	Input/Output	Eingang/Ausgang
ILC-Bus	Internal Local Control Bus	Interner Steuerbus
ITU-T	Telecommunication Standardization Sector of International Telecommunication Unit	ITU-Sektor Telekommunikationsstandardisierung
LC-Bus	Local Control Bus	Lokaler Steuerbus
LED	Light Emitting Diode	Lumineszenzdiode
MX	Multiplexer	Multiplexer
NCU	Node Control Unit	Netzknotensteuerrechner
NFR2001	Standard Frequency Device 2001	Normalfrequenzeinrichtung NFR 2001
PC	Personal Computer	Personalcomputer
PCB	Project Control Board	
PLL	Phase Locked Loop	Phasenregelschleife
PROM	Erasable Programable Read Only Memory	
RAM	Random Access Memory	Speicher mit wahlfreiem Zugriff
RED	Redundancy Interface	Redundanzschnittstelle

RKW	Frame Word	Rahmenkennungswort
SDH	Synchronous Digital Hierachy	Synchron-Digital-Hierarchie
SPO	Spontaneous Response	Spontanmeldung
SST	Interface	Schnittstelle
STV	Power Supply	Stromversorgung
SXC	Synchronous Cross Connect	Synchroner Netzknoten
TTL	Transistor-Transistor-Logic	
UART	Universal Asynchronous Receiver and Transmitter	
UNC	Unbalanced Operation Normal Response Mode Class	
VCO	Voltage Controlled Oscilator	Spannungsgesteuerter Oszillator
VMP	Switching Protocol	Vermittlungsprotokoll
ZBE	Time Base Unit	Zeitbasiseinschub
ZÜW	Central Supervision Unit	Zentrale Überwachungseinheit

8 Stichwörter

Numerics

2AT2 [8, 9, 12, 14, 28, 37](#)

A

ABM [14, 17, 23, 48](#)

AIS [13, 15, 38, 40](#)

Alarmmeldungen [16, 21](#)

B

Bedieneinrichtung [8, 10, 16, 17](#)

Bw7R-Signalisierung [16](#)

C

Cäsium-Atomfrequenznormal [7, 13, 54](#)

D

Downgrade [7, 9](#)

DÜW [9, 12, 15, 23, 26](#)

E

Eigensynchronisation [7, 39](#)

Einschub PLL [8, 9, 12](#)

F

Firmware [7, 8, 9, 15, 16, 20, 30, 34, 35, 39, 40, 41, 45, 46](#)

H

Hardware [29](#)

Hardware [9, 10, 20, 21, 31, 34, 39, 40, 46](#)

Hintergrundtest [15, 39](#)

Holdover mode [52, 53](#)

I

ILC-Bus [19, 20, 33](#)

J

Jitter [7, 13, 41](#)

K

Konfigurationsmeldungen [16, 17](#)

L

LC-Bus [8, 12, 16, 17, 19, 20, 50](#)

LED [16, 20, 21](#)

Login [8, 17](#)

M

Minimalausführung [9](#)

N

n [7](#)

Normalbetrieb [7, 15, 16, 43](#)

P

Phasensteller [38, 39, 43](#)

PLL [7, 8, 9, 12, 13, 14, 15, 28, 29, 37, 38, 39, 40, 41, 43, 46, 52, 53](#)

PLL1 [39, 40, 41, 42](#)

PLL2 [38, 43](#)

Prioritätenliste [7](#)

R

Referenzsignale [7, 8](#)

Reset [20, 21, 31, 33, 34](#)

risierungskonzept [8](#)

S

Signalauswahl [38, 39](#)

Signaleinheit [8, 16](#)

Signalisierung [8, 9, 12, 16, 19, 20, 21](#)

Speicherbetrieb [7](#)

Statusmeldungen [16](#)

Stromversorgung [8, 9, 22, 29, 38, 39, 47](#)

Synchronbetrieb [7, 15](#)

T

TNC-PLL-Einschub [37](#)

U

Überwachung [8, 9, 12, 15, 16, 19, 23, 26, 28](#)

Upgrade [7, 9](#)

V

V.24-Schnittstelle [12, 16, 20, 32, 33](#)

Verriegelungslogik [21](#)

W

Wander [7, 13, 42](#)

Watchdog [21, 30, 31, 34, 35](#)

Z

ZBE1 [8, 9, 13, 36, 37](#)

ZBE2 [8, 9, 13, 22, 23, 31](#)

ZBE3 [8, 9, 13, 37](#)

ZÜW [8, 9, 12, 15, 16, 19, 20, 21](#)